

TITLE OF THE INVENTION

Semiconductor Memory Device

BACKGROUND OF THE INVENTION

5 Field of the Invention

この発明は、半導体記憶装置に関し、特に、スタティックに動作するスタティック型メモリ（SRAM（スタティック・ランダム・アクセス・メモリ））のメモリセルアレイ部の構成に関する。より特定的には、この発明は、低消費電流で安定にデータの書込みおよび読み出しを行うことのできるSRAM
10 の構成に関する。

Description of the Background Art

MOSトランジスタの動作速度を早くする方法として、そのしきい値電圧の絶対値を小さくする方法がある。しきい値電圧の絶対値が小さくなると、ドレイン電流を増大させることができ、高速で内部ノードを充放電することができる。
15

しかしながら、しきい値電圧の絶対値を小さくした場合、オフ状態時のソースドレイン間リーク電流（サブシュレシヨルド電流）が増大し、消費電流が増大するという問題が生じる。このようなリーク電流の問題を解決する手法として種々の方法が提案されている。
20

半導体記憶装置においては、特許文献1（特開平9-73784号公報）においては、スタティック型メモリセル回路において待機時とデータアクセスを行う動作時とでメモリセルトランジスタのソース基板（バックゲート）間電圧を異ならせる。すなわち、待機時においては、メモリセルトランジスタのソース基板間電圧を深い逆バイアス状態に設定してMOSトランジスタのしき
25

い値電圧の絶対値を大きくしてリーク電流の低減を図る。一方、動作時にはソースおよび基板を同電位として待機時に較べてしきい値電圧の絶対値を小さくして高速化を図る。この特許文献1の構成においては、メモリの動作速度を速くし、かつ非動作時（待機時）の消費電流を低減することの両立を図る

5 。

また、非特許文献1（IEEE 1998 VLSI サーキット・シンポジウム、カワグチ等、“Dynamic Leakage Cut-off Scheme for Low-Voltage SRAM’s（低電圧SRAMのためのダイナミックリーク遮断方式）”においては、複数のメモリセルの基板電位を個別に制御することにより、高速動作および低消費電流化を図る構成が示されている。この非特許文献1の構成においては、行列状に配列されるメモリセルを有するメモリアレイにおいて、行方向に基板用電源線を配設し、メモリセル行単位で基板電位を制御する。すなわち、行デコーダにより選択されたメモリセル行の基板電位とメモリセルトランジスタのソース電位を等電位として高速化を図る。非選択行のメモリセルトランジスタの基板電位を、ソースバックゲートが逆バイアス状態となる電位に設定して、非選択メモリセルでのリーク電流の低減を図る。

また、データ書込を高速化する手法として、メモリセルトランジスタの基板電位を変更する構成が特許文献2（特開平11-213673号公報）において示されている。この特許文献2においては、メモリセルのフリップフロップを構成するインバータ回路のトランジスタの基板電位を制御する。すなわち、書込み動作のはじめに、メモリセルトランジスタの基板電位を、負荷PチャネルMOSトランジスタとドライブNチャネルMOSトランジスタの電流駆動能力を小さくするように変更する。この特許文献2の構成においては、メモリセル行毎に基板電位設定回路を設け、行単位でメモリセルトランジスタの基板電位を調整する。

また、SRAMセルアレイにおいて、アレイ面積を低減するレイアウトが、特許文献3（特開平10-178110号公報）、特許文献4（特開2003-60089号公報）、および特許文献5（特開2001-339071号公報）に示されている。

- 5 上述の特許文献1および非特許文献1の構成においては、メモリセルに対するデータアクセスを行う動作時と待機時（非選択時）とに応じて基板電位を制御することにより、高速化および低消費電力化を図る。しかしながら、これらの先行技術の構成においては、動作時にメモリセルのPおよびNチャネルMOSトランジスタ両者のしきい値電圧の絶対値を小さくして、これらのトランジスタの電流駆動力を大きくしている。従って、データ読出時においては、ビット線電流を高速で放電することができ、読出動作を高速化することができる。
- 10 しかしながら、データ書込時においては、それほど高速化を期待することができない。データ書込時においては、書込みデータに応じてビット線対の一方のビット線をHレベルに他方をLレベルにアレイ外部のライトドライバにより強く駆動して、メモリセルのデータ記憶ノードを書込みデータに応じた電圧レベルに設定する。保持データと逆のデータを書き込む時には記憶ノードのHレベル側ノードをLレベルに反転する事によりデータの書込みが行われる。このときに、PMOS負荷トランジスタの電流駆動力が大きい場合には、保持データを反転させることができない。従って、データ書込対象のメモリセルにおいては、PMOS負荷トランジスタの電流駆動力は、NMOSアクセストランジスタの電流駆動力よりもできるだけ小さいほうが、高速に安定してデータを書き込む上で好ましい。これらの先行技術においては、データ書込を高速で行うための構成については考慮していない。単に動作時においてメモリセルトランジスタのしきい値電圧の絶対値を小さくしてメモリセルトランジスタを高速動作
- 15 させることにのみ考慮が払われているだけである。
- 20
- 25

特許文献2においては、メモリセル行毎に基板電位設定回路を配置して、行単位でメモリセルトランジスタの基板電位を制御している。しかしながら、この構成の場合、非選択列のメモリセルの保持データが破壊される可能性がある。

5 SRAMセルにおいては、データの保持安定性は、インバータの入出力伝達特性曲線を反転して重ね合わせた特性曲線により定量的に与えられる。2つの特性局線により囲まれた領域の面積が大きいほどデータを安定に保持することができる。この領域の大きさをスタティックノイズマージンSNMと呼ぶ。このスタティックノイズマージンは、インバータの入力論理しきい値に依存し、
10 従って、SRAMセルを構成するMOSトランジスタの電流駆動力およびしきい値電圧に依存する。例えば、フルCMOS構成のSRAMセルにおいて、アクセス用NチャネルMOSトランジスタとデータを記憶するドライブ用のNチャネルMOSトランジスタの電流駆動力の比が小さくなると、ビット線接続時にLレベルの記憶ノードの電位が上昇しやすくなり、スタティックノイズマージンが小さくなり、データ保持安定性が低下する。すなわち、メモリセルの保
15 持データが破壊され、誤動作の原因となる。この電流駆動力の比は、一般に β 比と呼ばれ、通常は、スタティックノイズマージンを確保するために β 比を1.5以上程度に設定される。すなわち、ドライブトランジスタの電流駆動力を、アクセストランジスタの電流駆動力よりも高く設定する必要がある。

20 SRAMにおいては、データの保持安定性を保証するために、スタティックノイズマージンを確保することが重要である。特許文献2の構成のように、データ書込動作の初めにドライブトランジスタの電流駆動力を小さくするように基板電位を制御すると、スタティックノイズマージンが低下し、データの書込には都合がよい。しかしながら、選択行の非選択列のメモリセルにおいても、
25 記憶ノードが対応のビット線に接続されており、メモリセル行単位でドライブ

トランジスタの電流駆動力を小さくする基板電位制御では、この選択行の非選択列のメモリセルのスタティックノイズマージンも低下し、この非選択列のメモリセルデータが破壊され、誤動作が生じる可能性がある。

5 また、いずれの先行技術においても、待機時の消費電流を低減することは考慮されているものの、動作時の、ビット線の充放電によるアクティブ電流を低減することについては考慮されていない。

また、特許文献3から5においては、メモリセルアレイのレイアウトのみが考慮されており、消費電流の低減などの回路特性については考慮されていない。

10

SUMMARY OF THE INVENTION

それゆえ、この発明の目的は、低消費電流で高速かつ安定なデータ読出および書込を実現することのできる半導体記憶装置を提供することである。

15 この発明の他の目的は、高速動作性を損なうことなく動作時の消費電流を低減することのできる半導体記憶装置を提供することである。

この発明に係る半導体記憶装置は、行列状に配列され、各々が第1および第2の導電型の絶縁ゲート型電界効果トランジスタで構成されるラッチ回路を含む複数のメモリセルと、アドレス信号と動作モード指示信号とに応答して、選択メモリセルの少なくとも第1導電型の絶縁ゲート型電界効果トランジスタのバックゲート電位をデータ書込時とデータ読出時とで変更する基板電位変更回路とを備える。

20 メモリセルトランジスタのバックゲート電位をデータ書込時とデータ読出時とで変更することにより、メモリセルトランジスタのしきい値電圧を動作モードに応じて変更することができる。したがって、動作モードに応じてメモリセルのトランジスタのしきい値電圧を変更することにより、メモリセルのスタテ

25

ミックノイズマージンを動作マージンに応じて最適化することができ、安定にかつ高速にデータの書込みおよび読出を行うことができる。

The foregoing and other objects, features, aspects and advantages of the present invention will become more apparent from the following detailed description of the present invention when taken in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

【図 1】 この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図 2】 図 1 に示すメモリセルの構成をより具体的に示す図である。

【図 3】 図 1 に示す基板電位設定回路内の基板制御回路の構成を示す図である。

【図 4】 図 1 に示す半導体記憶装置の動作を示すタイミング図である。

【図 5】 この発明の実施の形態 2 に従う基板制御回路の構成を示す図である。

【図 6】 この発明の実施の形態 2 に従う半導体記憶装置の動作を示すタイミング図である。

【図 7】 この発明の実施の形態 3 に従う基板制御回路の構成を示す図である。

【図 8】 図 7 に示す基板制御回路の動作を示す信号波形図である。

【図 9】 この発明の実施の形態 4 に従うメモリセルの平面レイアウトを概略的に示す図である。

【図 10】 図 9 に示す線 L10-L10 に沿った断面構造を概略的に示す図である。

【図 11】 図 9 に示すレイアウトの第 1 金属配線のレイアウトを概略的

に示す図である。

【図 1 2】 図 9 に示すメモリセルのレイアウトの第 2 金属配線のレイアウトを概略的に示す図である。

5 【図 1 3】 図 9 に示すレイアウトの第 3 金属配線のレイアウトを概略的に示す図である。

【図 1 4】 この発明の実施の形態 4 における基板制御回路の要部の断面構造を概略的に示す図である。

【図 1 5】 基板制御回路の電圧印可部の配置の他の例を示す図である。

10 【図 1 6】 この発明の実施の形態 5 に従う半導体記憶装置の構成を概略的に示す図である。

【図 1 7】 図 1 6 に示すメモリセルの構成を概略的に示す図である。

【図 1 8】 図 1 6 に示す基板制御回路の構成の一例を示す図である。

【図 1 9】 図 1 8 に示す基板制御回路の動作を示す信号波形図である。

15 【図 2 0】 図 1 6 に示す半導体記憶装置の動作を示すタイミング図である。

【図 2 1】 この発明の実施の形態 6 に従う基板制御回路の構成を示す図である。

【図 2 2】 この発明の実施の形態 6 に従う半導体記憶装置の動作を示すタイミング図である。

20 【図 2 3】 この発明の実施の形態 7 に従うメモリセルの断面構造を概略的に示す図である。

【図 2 4】 この発明の実施の形態 8 に従うメモリセルのレイアウトを概略的に示す図である。

25 【図 2 5】 図 2 4 に示すレイアウトの 1 ビットのメモリセルの部分のレイアウトを示す図である。

【図 2 6】 図 2 5 に示すレイアウトの電氣的等価回路を示す図である。

【図 2 7】 図 2 4 に示すレイアウトに対する基板バイアス電圧を供給する部分の構成を概略的に示す図である。

5 【図 2 8】 この発明の実施の形態 9 に従う半導体記憶装置の全体の構成を概略的に示す図である。

 【図 2 9】 図 2 8 に示す半導体記憶装置のメモリセルの構成を概略的に示す図である。

 【図 3 0】 図 2 8 に示す基板制御回路の構成を示す図である。

10 【図 3 1】 図 2 8 に示す半導体記憶装置の動作を示すタイミング図である。

 【図 3 2】 この発明の実施の形態 1 0 に従う半導体記憶装置の全体の構成を概略的に示す図である。

 【図 3 3】 図 3 2 に示す基板制御回路の構成を示す図である。

15 【図 3 4】 図 3 2 に示す半導体記憶装置の動作を示すタイミング図である。

 【図 3 5】 図 3 2 に示す基板制御信号を発生する部分の構成を概略的に示す図である。

 【図 3 6】 この発明の実施の形態 1 1 に従うメモリセルアレイのレイアウトを概略的に示す図である。

20 【図 3 7】 図 3 6 に示す線 L 3 7 - L 3 7 に沿った断面構造を概略的に示す図である。

DESCRIPTION OF THE PREFERRED EMBODIMENTS

〔実施の形態 1〕

25 図 1 は、この発明に従う半導体記憶装置の全体の構成の一例を概略的に示す

図である。図 1 においては、クロック信号に同期して動作する同期型シングルポート S R A M の構成を一例として示す。S R A M の構成としては、これに限定されず、クロック信号と非同期で、チップ選択信号に従って動作する S R A M であってもよく、またデュアルポート S R A M であってもよい。

- 5 図 1 において、半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリセルアレイ 1 と、与えられたロウアドレス信号をデコードし、ワード線選択信号を生成するロウデコーダ 2 と、与えられた Y アドレス信号をデコードし、メモリセルアレイ 1 の列を選択する列選択信号 C D を生成しかつ選択列を内部データ線に接続するカラム選択回路 4 と、カラム選択回路 4 により
10 選択された列に対してデータの書込および読出を行う書込／読出回路 7 と、外部からのセルイネーブル信号／C S C とライトイネーブル信号／W E C とアドレス信号 A D とを受け、クロック信号 C L K に従って内部ロウおよびカラムアドレス信号および必要な内部動作制御信号を生成する主制御回路 8 とを含む。

メモリセルアレイ 1 においては、行列状に S R A M セル M C が配列される。

- 15 図 1 においては 2 行 2 列に配列されるメモリセル M C 0 0、M C 0 1、M C 1 0 および M C 1 1 を代表的に示す。S R A M セルは、フル C M O S 構成であり、バックゲート電位が変更されると、そのしきい値電圧が変更される。各列において、同一導電型のメモリセルトランジスタは、共通の基板領域に形成され、この基板領域がメモリセルトランジスタのバックゲートとして機能する。

- 20 半導体記憶装置は、さらに、主制御回路 8 からの基板電位制御信号 B E とカラム選択回路 4 からの列選択信号（列選択信号）C D とに従って選択列のメモリセルのトランジスタの基板（バックゲート）電位を変更する基板電位設定回路（基板電位変更回路）1 0 を含む。基板電位設定回路 1 0 は、メモリセルアレイ 1 の各列ごとに対応して設けられる基板電位制御回路 P B C を含み、選択
25 列に対して設けられた基板電位制御回路 P B C は、データ書込サイクルとデー

タ読出サイクルと待機時（スタンバイサイクル）とで、メモリセルトランジスタの基板電位を変更する。特に、データ書込時に、選択列のメモリセルのスタティック・ノイズ・マージンを小さくして、高速でかつ確実にデータの書込を行なう。

- 5 基板電位設定回路10は、非選択列に対しては、その基板電位を変更しない。したがって、非選択列においては、スタティック・ノイズ・マージンが十分大きい状態に維持され、データが安定に保持される。

- 10 基板電位設定回路10は、各メモリセル列に対応して配置されるPMOS基板電位制御回路PBC0およびPBC1を含む。本実施の形態1においては、メモリセルMC（メモリセルを代表的に示す）のPチャネルMOSトランジスタの基板電位を動作モードに応じて変更する。従って、各列においてビット線BLおよびZBLと平行に基板電圧伝達線20が配設される。基板電圧伝達線20は、それぞれ、基板電圧VPPを伝達する。これらの基板電圧伝達線20は、対応の列のメモリセルのPチャネルMOSトランジスタのバックゲート（
15 基板領域）に共通に接続される。

- 図1においては、ビット線BL0およびZBL0に接続されるメモリセルMC00およびMC10に対して配設される基板電圧伝達線20は、基板電圧VPP0を伝達し、ビット線BL1およびZBL1に対して接続されるメモリセルに対して配設されるメモリセルMC01およびMC11に対して配設される
20 基板電圧伝達線20は、基板電位VPP1を伝達する。

メモリセルの各行に対応してワード線WLが配設される。メモリセルMC10およびMC11がワード線WL1に接続され、メモリセルMC00およびMC01がワード線WL0に接続される。

- 書込／読出回路7は、主制御回路8の制御のもとに外部データDIおよびDOをそれぞれ、入力および出力する。
25

ビット線BLおよびZBLに対して、さらに、ロウデコーダ2を介して与えられるワード線選択タイミング信号に従って、ビット線を所定電位にプリチャージするプリチャージ回路9が設けられる。このビット線BLおよびZBL（ビット線を代表的に示す）に対して設けられるプリチャージ回路9により、データ読出時にビット線にカラム電流が流れ、このカラム電流のメモリセルを介しての放電により、メモリセルの記憶データに応じた電位差がビット線間に生じる。

図2は、図1に示すメモリセルMC00-MC11の構成をより具体的に示す図である。メモリセルMC00-MC11は同一構成を有し、図2においては、メモリセルMCを代表的にその構成を示す。

メモリセルMCは、データを記憶するインバータラッチを構成するインバータ11aおよび11bと、ワード線WL上のワード線選択信号に従って記憶ノードSNaおよびSNbをそれぞれ、ビット線BLおよびZBLに結合するNチャネルMOSトランジスタNQcおよびNQdを含む。

インバータ11aは、記憶ノードSNaの記憶データに従って、記憶ノードSNbを駆動し、インバータ11bは、記憶ノードSNbの電位に従って記憶ノードSNaを駆動する。インバータ11aおよび11bは、CMOSインバータであり、同一列のメモリセルのCMOSインバータのPチャネルMOSトランジスタのバックゲートに共通に、基板電圧伝達線20が結合される。

インバータ11aは、電源電圧VDDを供給する電源ノードと記憶ノードSNbの間に接続されかつそのゲートが記憶ノードSNaに接続されるPチャネルMOSトランジスタPQaと、記憶ノードSNbと接地ノードの間に接続されかつそのゲートが記憶ノードSNaに接続されるNチャネルMOSトランジスタNQaを含む。インバータ11bは、電源電圧VDDを供給する電源ノードと記憶ノードSNaの間に接続されかつそのゲートが記憶ノードSNbに接

続されるPチャネルMOSトランジスタPQbと、記憶ノードSNaと接地ノードとの間に接続されかつそのゲートが記憶ノードSNbに接続されるNチャネルMOSトランジスタNQbを含む。MOSトランジスタPQaおよびPQbの基板領域（バックゲート）が、基板電圧伝達線20に共通に接続される。

- 5 この基板電圧伝達線20は、メモリセル電源電圧VDDを伝達するメモリ電源線と別に配置され、メモリ電源線および基板電圧伝達線20は、それぞれ独立に電圧レベルが設定される（基板電圧伝達線20は、列単位で電圧レベルが設定される）。

- 10 本実施の形態1においては、NチャネルMOSトランジスタNQa、NQb、NQcおよびNQdのバックゲートは、例えば接地電圧VSSに固定される。

アクセス用のNチャネルMOSトランジスタNQcおよびNQdは、それぞれ、ワード線WLにそのゲートが接続され、導通時、記憶ノードSNaおよびSNbを、ビット線BLおよびZBLにそれぞれ結合する。

- 15 図3は、この発明の実施の形態1に従う基板電位設定回路10に含まれるPMOS基板制御回路PBCの構成の一例を示す図である。

- PMOS基板制御回路PBCは、主制御回路8からの基板電位制御信号BEと列選択信号CDとを受けるNAND回路NC1と、NAND回路NC1の出力信号を反転するインバータINV1と、NAND回路NC1の出力信号に従って選択的に導通し、導通時、電圧源VDDHを基板電圧伝達線20に結合するPチャネルMOSトランジスタ（パストランジスタ）P1と、インバータINV1の出力信号に従って選択的に導通し、導通時電圧源VDDを、基板電圧伝達線20に結合するPチャネルMOSトランジスタ（パストランジスタ）P2を含む。このNAND回路NC1、インバータINV1、およびパストランジスタP1およびP2の組が、メモリセルの各列に対応して配置される。
- 20
- 25

電圧源VDDHが供給する電圧VDDHは、電圧源VDDが供給するメモリセル電源電圧VDDよりも高い電圧である。ここで、電圧源とその供給電圧とを、同一符号で示す（以下の説明においても同様である）。メモリセル電源電圧VDDは、例えば、1.0Vであり、高電圧VDDHは、例えば、1.5Vである。この高電圧VDDHは、DRAM（ダイナミック・ランダム・アクセス・メモリ）においてワード線を駆動するために用いられる昇圧回路により生成されてもよく、また、外部から入出力インターフェイス用に与えられる電源電圧を用いてもよい。電源構成が簡略化される。このインターフェイス用電源電圧は、外部とのインターフェイスを取る入力回路の初段入力バッファおよび出力回路の最終段出力バッファの動作電源電圧として利用される。

NAND回路NC1は、その出力信号のハイレベルを高電圧VDDHレベルに変換するレベル変換機能を有する。基板電圧伝達線20に電源電圧VDDが伝達される時に、パストランジスタP1のゲートを高電圧レベルに設定してこのパストランジスタP1を非導通状態に維持する。基板電圧伝達線20は、電源電圧VDDと高電圧VDDHとの間で変化するため、インバータINV1は、特にレベル変換機能は要求されない。インバータINV1は、レベル変換機能を有していても良い。

この図3に示すPMOS基板制御回路PBCにおいては、列選択信号CDと基板制御信号BEがともにHレベルの時には、パストランジスタP1が導通し、基板電圧伝達線20に高電圧VDDHが伝達され、選択列のメモリセルの負荷PMOS（PチャネルMOS）トランジスタの基板バイアスが深くされる。列選択信号CDおよび基板制御信号BEの一方がLレベルとなると、パストランジスタP2が導通し、基板電圧伝達線20には、電源電圧VDDが伝達される。すなわち、基板電圧伝達線20の電圧VPPのレベルは、信号CDおよびBEにより、設定される。

図4は、この発明の実施の形態1に従う半導体記憶装置の動作を示すタイミング図である。以下、図4を参照して、図1に示す半導体記憶装置の基板電位制御の動作について説明する。

この半導体記憶装置は、クロック信号CLKに同期して動作する。内部信号の振幅は、電源電圧VDDと同じ1.0Vであり、Hレベルが1.0VかつLレベルがVSS(0V)である。高電圧VDDHは、1.5Vである。動作モードとして、以下の3つのモードが準備される。

(a) 待機状態(非動作状態) : CEC=HかつWEC=X(ドントケア)

(b) 読出モード : CEC=H、かつWEC=H

10 (c) 書込モード : CEC=H、かつWEC=L

セルイネーブル信号CECがHレベルのとき、この半導体記憶装置は非選択状態(スタンバイ状態)であり、主制御回路8からの基板制御信号BEはLレベルである。したがって、図3に示すNAND回路NC1の出力信号はHレベルであり、応じて、インバータINV1の出力信号がLレベルである。したがって、パストランジスタP1がオフ状態、パストランジスタP2はオン状態となり、基板電圧伝達線20上の電圧VPPとして、電源VDDからの電源電圧VDDが与えられる。この電源電圧VDDは、メモリセル電源電圧と同一電圧レベルであり、図2に示すPチャネルMOSトランジスタPQaおよびPQbは、ソースおよび基板(バックゲート)が同一電圧レベルとなり、しきい値電圧の絶対値が小さい状態に設定される。

アクセスサイクルが始まると、セルイネーブル信号CECをLレベルに設定する。クロック信号の立ち上がり時にライトイネーブル信号WEがHレベルであれば、データ読出モードが指定される。図1に示すロウデコーダ2およびコラム選択回路3が、主制御回路8の制御のもとにデコード動作を行ない、アドレス信号ADにより指定された行および列に対する選択信号がHレベルに立上

がる。いま、メモリセルMC00が指定された状態を考える。この場合、ワード線WL0がロウデコーダ2によりHレベルに駆動され、また、列選択信号CD0がHレベルとなり、ビット線BL0およびZBL0にメモリセルMC00の記憶ノードSNaおよびSNbが接続される。プリチャージ回路9からのカラム電流により、ビット線BL0およびZBL0に電位差が生じ、この電位差が、カラム選択回路4を介して書込／読出回路7へ伝達されて、メモリセルのデータに応じた出力データDOが生成されてデータの読出が行われる。

5 選択ワード線WL0は、所定期間が経過すると非選択状態へ駆動され、また、メモリセルデータの書込／読出回路7におけるセンス動作が完了すると、列選択信号CD0も非選択状態へ駆動される。

このデータ読出時において、基板電圧伝達線20の電圧VPPは、基板制御信号BEがLレベルであるため、全ての列において、電源電圧VDDレベルである。メモリセルMCにおいては、負荷PMOSトランジスタのしきい値電圧の絶対値は小さく、スタティックノイズマージンは十分に確保されており、安定にデータを読み出すことができる。

次にデータ書込動作について説明する。この場合においても、メモリセルMC00荷が選択される状態を考える。データ書込時においては、セルイネーブル信号CECおよびライトイネーブル信号WECとともにLレベルに設定する。クロック信号CLKの立上りに応答して、主制御回路8がロウデコーダ2およびカラム選択回路4を活性化し、データ読出動作時と同様にワード線WL0および列選択信号CD0がHレベルに駆動される。

このデータ書込時においては、主制御回路8は、基板制御信号BEをHレベルに駆動する。従って、選択列に対して設けられたPMOS基板制御回路PBC0において、図3に示すNAND回路NC1の出力信号がLレベル、インバータINV1の出力信号がHレベルとなる。応じて、基板電圧伝達線20へは

、高電圧源 V_{DDH} からの電圧 V_{DDH} が、パストランジスタ P_1 を介して伝達される。

メモリセル MC_{00} において、図2に示すPチャネルMOSトランジスタ P_{Qa} および P_{Qb} は、基板バイアスが深くなり、そのしきい値電圧の絶対値が高くなり、電流駆動力が低下し、インバータ $11a$ および $11b$ で形成されるインバータラッチのラッチ状態が不安定となる。書込み／読出回路7により選択列のビット線 BL_0 および ZBL へデータを書込み、ビット線 BL_0 および ZBL_0 の電位が、書込データに応じて変化する。このとき、インバータ $11a$ および $11b$ で構成されるインバータラッチのラッチ能力は小さくされてメモリセルのスタティック・ノイズ・マージンが低下しており、容易に、記憶ノード SN_a および SN_b の電位を、書込データに応じた電位レベルに設定することができる。すなわち、逆データ書込時においては、PMOSトランジスタの電流駆動力が小さくされており、Hレベルデータを記憶する記憶ノードの電圧を書込データに応じてLレベルに高速で駆動することができる。

非選択列のメモリセル MC_{01} および MC_{11} については、基板電圧伝達線 20 上の電圧 V_{PP1} は、電源 V_{DD} からのメモリセル電源電圧 V_{DD} であり、データ読出時と同様、インバータラッチのラッチ能力は十分高く、安定にデータを保持する。したがって、選択メモリセルと同一行の非選択メモリセルにおいて、アクセストランジスタ(N_{Qc} , N_{Qd})がオン状態となり、ビット線 BL および ZBL に記憶ノードがそれぞれ接続される場合においても、安定にデータを保持することができる。

また、選択メモリセルと同一列のメモリセルは、アクセストランジスタ(N_{Qc} , N_{Qd})がオフ状態であり、記憶ノード SN_a および SN_b は、対応のビット線 BL および ZBL から分離されており、それらの電位は変化しないため、たとえ、負荷PMOSトランジスタの電流駆動力が低下しても、その保持

特性に影響はなく、安定にデータを記憶する。

データ書込が完了すると、列選択信号CDおよび基板制御信号BEの一方の立下りに応答して、NAND回路NC1の出力信号がHレベルとなり、再び、選択列の基板電圧伝達線20へは、パストランジスタP2を介して電源電圧VDDが伝達される。したがって、図2に示す負荷PMOSトランジスタPQaおよびPQbの基板バイアスが再び浅くなり、インバータラッチのラッチ能力が高くされてスタティック・ノイズ・マージンが高くなり、安定に書込データが保持される。

したがって、選択列において、データ書込時、メモリセルのPチャネルMOSトランジスタの基板バイアスを深くすることにより、メモリセルのラッチ能力が小さくなり、容易に書込データに応じて記憶ノードの電位を設定することができる。非選択列のメモリセルにおいては、負荷PMOSトランジスタの基板電位を読出時と同一電圧レベルに設定することにより、非選択列のメモリセルの負荷PMOSトランジスタのしきい値電圧を一定に維持して駆動能力を維持し、メモリセルのスタティックノイズマージンを確保する。

データ読出時においては基板バイアスは浅い状態に維持されるため、メモリセルのスタティックノイズマージンは十分に確保されており、安定にデータを読み出すことができる。

したがって、データ書込時、選択列のメモリセルのPチャネルMOSトランジスタの基板バイアスを深くすることにより、そのしきい値電圧の絶対値を大きくして電流駆動力を小さくしてスタティック・ノイズ・マージンを小さくすることができ、読出マージンおよび書込マージンを十分に確保して安定にデータを保持しつつデータを高速で書込むことができる。

なお、高電圧源VDDHの供給する電圧VDDHは、メモリセルの負荷PMOSトランジスタPQaおよびPQbのソース不純物領域と基板領域の間のP

N接合がオフ状態に維持される電圧レベルであればよい。

また、基板制御信号BEは、ライトイネーブル信号WECとセルイネーブル信号とクロック信号CLKとに従ってデータ書込動作時少なくとも選択ワード線の活性化期間活性化される。この回路構成としては、書込み／読出回路7に
5 含まれる書込回路の活性化信号を利用する回路を適用することができる。内部の書込回路を活性化する書込活性化信号を基板制御信号として利用する。コラム選択回路4の活性化信号と書込活性化信号との組合せで、基板制御信号BEが生成されてもよい。

以上のように、この発明の実施の形態1に従えば、データ書込指示信号と列
10 選択信号（列選択信号）とに従って、選択列のメモリセルのPチャネルMOSトランジスタの基板バイアスを深くしており、メモリセルトランジスタのしきい値電圧を変更して選択メモリセルのスタティック・ノイズ・マージンを変更
することができ、データの保持安定性を損なうことなく容易にデータを書込む
ことができる。

15 [実施の形態2]

図5は、この発明の実施の形態2に従うPMOS基板制御回路PBCの構成を示す図である。この図5に示すPMOS基板制御回路PBCは、図3に示すPMOS基板制御回路PBCと以下の点でその構成が異なっている。すなわち、PチャネルMOSトランジスタ（パストランジスタ）P1が電源電圧VDD
20 を供給する電源ノードに結合され、またパストランジスタP2が、低電圧源ノードVDDLに結合される。この図5に示すPMOS基板制御回路PBCの他の構成は、図3に示すPMOS基板制御回路PBCの構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

半導体記憶装置の全体の構成は、図1に示す半導体記憶装置の構成と同じで
25 あり、また、メモリセルの構成も図2に示す構成と同じである。

低電圧源 V_{DDL} の電圧 V_{DDL} は、メモリセルの負荷PMOSトランジスタのソースバックゲート間のPN接合が非導通状態を維持する電圧レベルであり、電圧 $V_{DD}-V_{DDL}$ は、PN接合のビルトイン電圧（0.7V程度）以下であり、低電圧源電圧 V_{DDL} は、例えば0.5Vである。

- 5 この低電圧源電圧 V_{DDL} は、ダイオード接続されたMOSトランジスタを用いて電源電圧 V_{DD} を降圧して生成してもよく、DC-DCコンバータなどの降圧回路を用いて生成してもよく、また、外部から印加してもよい。

- 10 図6は、図5に示す基板制御回路PBCを用いた際の動作を示すタイミング図である。この図6に示すタイミング図は、図4に示すタイミング図と、基板電圧伝達線20に伝達される電圧 V_{PP} の電圧レベルが異なるだけであり、待機時、データ読出時およびデータ書込時の動作自体は、本実施の形態2における動作と実施の形態1の動作とは同じであり、その動作の詳細説明は省略する。基板制御信号BEおよび列選択信号CDに従って、基板電圧伝達線20の電圧 V_{PP} を高電圧および低電圧のいずれかに設定する。

- 15 すなわち、本実施の形態2においては、待機時（非選択時）およびデータ読出時においては、基板電位 V_{PP} は、電源電圧 V_{DD} （1.0V）の電圧レベルに設定され、データ書込時において選択列のメモリセルに対して配置される基板電圧伝達線20の電圧 V_{PP} が、低電圧源電圧 V_{DDL} に設定され、非選択列のメモリセルに対する基板電圧伝達線20の電圧 V_{PP} が、電源電圧 V_{DD} に維持される。
- 20

- 25 従って、本実施の形態2においても、実施の形態1と同様、データ書込時に選択列のメモリセルの負荷PMOSトランジスタの基板バイアスを深くしており、選択メモリセルのスタティックノイズマージンを低下させることができ高速でデータを書込むことができ、また、安定にデータを保持することができる。

また、用いられる電圧は、電源電圧VDDとそれより低い電圧VDDLであり、パストランジスタP1およびP2に電源電圧VDDより高い電圧が印加されることがなく、素子の信頼性を確保することができる。

5 以上のように、この発明の実施の形態2に従えば、基板電圧伝達線の電圧VPPを電源電圧VDDと低電圧VDDLとの間で切換えており、実施の形態1と同様、安定にデータを保持しかつ高速でデータを書込むことができる。

また、最大、電源電圧VDDが印加されるだけであり、素子の信頼性を確保することができる。

[実施の形態3]

10 図7は、この発明の実施の形態3に従うPMOS基板制御回路PBCの構成を示す図である。この図7に示す基板制御回路PBCの構成においては、パストランジスタP1は、NAND回路NC1の出力信号に従って電源電圧VDDを基板電圧伝達線に伝達する。パストランジスタP2は、ダイオード接続されたPチャネルMOSトランジスタP3を介して電源VDDに結合され、インバータINV1の出力信号に従って、PチャネルMOSトランジスタP3を介して伝達された電圧VDD-Vtpを基板電圧伝達線に伝達する。ここで、Vtpは、PチャネルMOSトランジスタP3のしきい値電圧の絶対値を示す。

基板バイアス電圧VPPの高電圧が、電源電圧VDDであり1.0Vとすると、PチャネルMOSトランジスタP3のしきい値電圧の絶対値Vtpを0.5Vに設定する。この場合、基板バイアス電圧VPPの低電圧は、実施の形態2と同様、0.5Vとなる。この図7に示すPMOS基板制御回路PBCにおいては、さらに、NAND回路NC1の出力信号の立上がりに対応して基板電圧伝達線20を接地電圧レベル方向へ駆動する補助駆動回路30が設けられる。

25 補助駆動回路30は、NAND回路NC1の出力信号を受けるインバータI

NV2と、インバータINV2の出力信号を受けるインバータINV3と、インバータINV2およびINV3の出力信号を受けるNOR回路NC2と、NOR回路NC2の出力信号がHレベルのとき導通し、導通時、基板電圧伝達線20を接地ノードへ結合するNチャネルMOSトランジスタN1を含む。

- 5 インバータINV2およびINV3とNOR回路NC2により、立上がりワンショットパルス発生回路が形成される。したがって、選択されタメモリセルに対するデータの書込が完了すると、NチャネルMOSトランジスタN1は、ワンショット駆動され、基板電圧伝達線20を放電する。これにより、基板電圧伝達線20の電圧を高速で、低電圧に方向に駆動し、データ書込完了後、高速で、選択列のメモリセルのPチャネルMOSトランジスタの基板電位を元の電圧へ駆動する。

- 10 図8は、図7に示す補助駆動回路30の動作を示す信号波形図である。以下、図8を参照して、図7に示す補助駆動回路の動作について説明する。パストランジスタP1およびP2による基板電圧伝達線20の駆動については、図6に示すタイミングの動作と同じである。

15 データ書込時、基板制御信号BEおよび列選択信号CDがともにHレベルになると、NAND回路NC1の出力信号がLレベルに立下がり、パストランジスタP1がオン状態、パストランジスタP2がオフ状態となる。これにより、基板電圧伝達線20へは、電源VDDからの電源電圧VDDが伝達される。

- 20 データ書込が完了し、例えば、列選択信号CDが非選択状態へ駆動され、選択列が内部書込データ線と分離されると、NAND回路NC1の出力信号がHレベルとなり、また、インバータINV1の出力信号がLレベルとなり、パストランジスタP1がオフ状態、パストランジスタP2がオン状態となる。これにより、基板電圧伝達線20が、電源電圧VDDから低電圧 $VDD - V_{tp}$ へ
- 25 駆動される。

このときまた、インバータ INV 2 の出力信号が、NAND 回路 NC 1 の出力信号の立下りに応答して L レベルとなる。インバータ INV 3 は遅延時間が大きく、その出力信号は L レベルであり、この NAND 回路 NC 1 の出力信号の立下りに応答して、NOR 回路 NC 2 の出力信号が H レベルとなり、N チャネル MOS トランジスタ N 1 が導通する。したがって、基板電圧伝達線 20 が、MOS トランジスタ N 1 により接地電圧方向へ駆動され、パストランジスタ P 2 の動作と合せて、低電圧 $V_{DD} - V_{tp}$ へと駆動される。これにより、基板電圧伝達線 20 は、高電圧 V_{DD} から低電圧 $V_{DD} - V_{tp}$ へ高速で駆動される。インバータ INV 3 の有する遅延時間が経過すると、NOR 回路 NC 2 の出力信号が L レベルとなり、MOS トランジスタ N 1 がオフ状態となる。

したがって、データ書込完了後、この MOS トランジスタ N 1 を所定期間オン状態へ維持することにより、高速で基板電圧伝達線 20 を高電圧 V_{DD} から低電圧 $V_{DD} - V_{tp}$ へ駆動することができる。これにより、クロック信号のサイクルが短い場合においても基板電圧 V_{PP} をもとの電源電圧 V_{DD} へ復帰させることができ、高速かつ安定な動作を実現することができる。

また、基板電圧 V_{PP} を生成するために、メモリセル電源電圧のみを使用しており、単一電源で基板電圧 V_{PP} を生成することができ、電源の構成を簡略化することができる。

なお、補助駆動回路 30 が基板電圧伝達線 20 を駆動する期間は、この補助駆動回路 30 の電流駆動能力に応じて適当な時間に定められればよい。

以上のように、この発明の実施の形態 3 に従えば、データ書込完了時、選択列の基板電位を接地電圧方向に所定期間駆動しており、高速で、基板電位を元の電圧レベルに復帰させることができる。

また、基板低電圧を、ダイオード接続された MOS トランジスタにより電源電圧を降圧して生成しており、単一電源で基板電圧を生成することができる。

なお、基板電圧をワンショット駆動する補助駆動回路 30 は、実施の形態 1 または 2 の構成と組合せて用いられてもよい。

〔実施の形態 4〕

図 9 は、この発明の実施の形態 4 に従う半導体記憶装置のメモリセルのレイ
アウトを概略的に示す図である。図 9 において、P チャネル MOS トランジスタ
を形成する PMOS 領域 41 の両側に、N チャネル MOS トランジスタを形成する NMOS 領域 40 および 42 が配置される。これらの MOS 領域 40 - 42 は、列方向の直線的に連続して延在して配設され、これらの領域に、1 列に整列して配設されるメモリセルが形成される。

PMOS 領域 41 においては、P チャネル MOS トランジスタを形成する活性領域 52 および 55 が矩形形状に形成される。この活性領域 52 および 55 は、それぞれ、列方向において隣接するメモリセルにより共有される。

NMOS 領域 40 においては、N チャネル MOS トランジスタを形成するための N 型活性領域 50 および 51 が直線的に延在して形成される。NMOS 領域 42 においては、N チャネル MOS トランジスタを形成するための N 型活性領域 53 および 54 が間をおいて直線的に列方向に延在して形成される。図 9 において、1 ビットのメモリセルの領域を、破線の矩形領域 45 で示す。

この 1 ビットメモリセル領域 45 において、ゲート電極 60 が、活性領域 51 および 55 を横切るように行方向に延在して配置され、かつ活性領域 52 にコンタクト CN1 を介して接続される。ゲート電極 60 と点対称の形に行方向に延在して、活性領域 52 および 53 を横切るようにゲート電極 61 が形成される。このゲート電極 61 は、コンタクト CN2 を介して活性領域 55 に接続される。このゲート電極 60 および 61 により、CMOS インバータラッチを形成する P チャネル MOS トランジスタおよび N チャネル MOS トランジスタが形成され、かつゲート電極 60 および 61 を、それぞれ、活性領域 52 およ

び55にコンタクトCN1およびCN2を介して接続することにより、これらのCMOSインバータの記憶ノードの相補接続が実現される。

5 コンタクトCN3を介して、ゲート電極60と対向してゲート電極62が活性領域51を横切るように形成され、またコンタクトCN4を介してゲート電極61と対向して、活性領域53を横切るようにゲート電極63が形成される。このゲート電極62および63は、後に説明するようにワード線に接続され、アクセストランジスタのゲートを構成する。ゲート電極62および63は、それぞれ行方向に隣接するメモリセルにより共有される。この1ビットメモリセル領域45のレイアウトが行方向および列方向に鏡面对称の形で繰返し配設
10 される。

NMOS領域40および42とPMOS領域41を、列方向に直線的に延在することにより、列単位で、PMOS領域41の基板電位を制御することができる。

15 図10は、図9に示す線L10-L10に沿った断面構造を概略的に示す図である。図10において、メモリセルは、P型（シリコン）基板70上に形成される。NMOS領域40は、Pウェルにより規定され、PMOS領域41は、Nウェルにより規定され、NMOS領域42は、Pウェルにより規定される。これらのMOS領域と対応のウェル領域を同一の参照符号で示す。Pウェル40およびPウェル42の外側に、隣接メモリセルのPチャネルMOSトラン
20 ジスタを形成するためのNウェル66および67がそれぞれ形成される。

これらのウェル40-42および66および67において素子分離のために、トレンチ領域70-73がそれぞれ形成される。このトレンチ領域70-73は、それぞれ、シャロートレンチアイソレーション（STI）領域であり、それぞれウェル表面に形成されたトレンチ領域に絶縁膜を充填して形成される
25 。活性領域50-54は、それぞれ不純物領域であり、図10においては、図

9に示すゲート電極61に沿った断面構造を示しており、チャネル領域が形成されるため、図10においては、この活性領域を形成する不純物領域は示されていない。

ゲート電極61は、Nウェル41およびPウェル42上にわたって延在して配置され、ゲート電極62が、Pウェル40上において、トレンチ領域71上にわたって形成される。したがって、このトランジスタ分離のために、STI膜が用いられており、活性領域50-54は、それぞれ、STI領域により分離される。

Nウェル41が、メモリセルのPチャネルMOSトランジスタの基板領域を構成し、このNウェル41の電位を、データ書込時に選択・非選択に応じて設定する。

図11は、図9に示すメモリセルの上層配線のレイアウトを概略的に示す図である。図11において、1ビットのメモリセル領域45の上層配線のレイアウトを示す。活性領域51は、コンタクトCN3、第1金属配線75eおよびコンタクトCN2を介して活性領域55に結合される。この第1金属配線75eとゲート電極60に関して対向して配置される領域において活性領域51がコンタクトを介して第1金属配線75aに接続され、また、活性領域55が、コンタクトを介して第1金属配線75dに接続される。ゲート電極62は、コンタクトを介して第1金属配線75dに接続される。また、ゲート電極62に隣接する領域において、活性領域51は、コンタクトを介して第1金属配線75fに接続される。

活性領域52は、コンタクトCN1、第1金属配線75gおよびコンタクトCN4を介して活性領域53に結合される。この第1金属配線75gとゲート電極61に関して対向する位置に、第1金属配線75iおよび75jが形成される。これらの第1の金属配線75iおよび75jは、それぞれ、コンタクト

を介して活性領域 5 2 および活性領域 5 3 に結合される。ゲート電極 6 3 は、コンタクトを介して第 1 金属配線 7 5 h に接続される。

これらの第 1 金属配線 7 5 e および 7 5 g は、それぞれ、メモリセルの CMOS インバータを構成する P チャネル MOS トランジスタおよび N チャネル MOS トランジスタのドレインを相互接続する。残りの第 1 金属配線は、さらに上層に形成される第 2 金属配線との接続のための中間配線として利用される。

図 1 2 は、メモリセルアレイの第 2 金属配線のレイアウトを示す図である。この図 1 2 に示す第 2 金属配線が、図 1 1 に示す第 1 金属配線上に配設される。図 1 2 において、活性領域 5 1 に隣接して列方向に延在して、第 2 金属配線 7 7 a が配線される。この第 2 金属配線 7 7 a は、第 1 ビア V 1 e を介して図 1 1 に示す第 1 金属配線 7 5 f に接続される。この第 2 金属配線 7 7 a は、ビット線 B L を構成する。

活性領域 5 5 および 5 2 の間に、列方向に延在する第 2 金属配線 7 7 b が配設される。この第 2 金属配線 7 7 b は、第 1 ビア V 1 b および V 1 e を介して、図 1 1 に示す第 1 金属配線 7 5 b および 7 5 i にそれぞれ接続される。

活性領域 5 3 に隣接して列方向に延在して第 2 金属配線 7 7 c が配設される。この第 2 金属配線 7 7 c は、第 1 ビア V 1 c を介して図 1 1 に示す第 1 金属配線 7 5 c に接続される。第 2 金属配線 7 7 c が、ビット線 Z B L を構成する。

ゲート電極 6 2 は、図 1 1 に示す第 1 金属配線 7 5 d および第 1 ビア V 1 d を介して第 2 金属配線 7 7 e に接続される。ゲート電極 6 3 は、図 1 1 に示す第 1 金属配線 7 5 h および第 1 ビア V 1 f を介して第 2 金属配線 7 7 f に接続される。

図 1 1 に示す第 1 金属配線 7 5 a は、第 1 ビア V 1 e を介して第 2 金属配線 7 7 d に接続される。また、図 1 1 に示す第 1 金属配線 7 5 j は、第 1 ビア V

1 g を介して第 2 金属配線 7 7 g に接続される。ゲート電極 6 0 および 6 1 は、メモリセル内部において、記憶ノードと接続されるだけであり、第 1 ビアは設けられない。

第 2 金属配線 7 7 b は、列方向に延在し、電源電圧 V_{dd} を伝達する。

5 図 1 3 は、この発明の実施の形態 4 におけるメモリセルの第 3 金属配線のレイアウトを概略的に示す図である。この図 1 3 に示す第 3 金属配線が、図 1 2 に示す第 2 金属配線上に配設される。図 1 3 において、ゲート電極 6 2 および 6 3 と平行に行方向に第 3 金属配線 7 8 a が配設される。この第 3 金属配線 7 8 a は、第 2 ビア V_{2a} を介して図 1 3 に示す第 2 金属配線 7 7 b に接続され、さらに図 1 2 に示す第 1 金属配線 7 5 a およびコンタクトを介して活性領域 5 1 に接続される。この第 3 金属配線 7 8 a は接地電圧 GND を伝達する。

ゲート電極 6 0 および 6 3 とゲート電極 6 2 および 6 1 の間に、行方向に延在して第 3 金属配線 7 8 b が配設される。この第 3 金属配線 7 8 b は、第 2 ビア V_{2b} および V_{2c} を介して図 1 2 に示す第 2 金属配線 7 7 e および 7 7 f に接続される。この第 3 金属配線 7 8 b はワード線 WL を構成し、活性領域 5 1 および 5 3 に形成されるアクセス用の N チャネル MOS トランジスタのゲート電極に結合される。

ゲート電極 6 2 および 6 1 の外側領域に行方向に延在して第 3 金属配線 7 8 c がさらに配設される。この第 3 金属配線 7 8 c は、第 2 ビア V_{2d} を介して図 1 2 に示す第 2 金属配線 7 7 g に接続される。この第 3 金属配線 7 8 c により、接地電圧 GND が、活性領域 5 3 に形成されるドライブ用の N チャネル MOS トランジスタに供給される。

活性領域 5 2 および 5 5 に対しては、第 3 金属配線は配設されない。これらの活性領域 5 2 および 5 5 に形成される P チャネル MOS トランジスタに対しては、図 1 2 に示すように、第 2 金属配線 7 7 b により電源電圧が供給され

る。

図9から図13に示すように、メモリセルのPチャネルMOSトランジスタを形成するNウェル41、NチャネルMOSトランジスタを形成するPウェル40および42を列方向に連続的に延在させて形成する。メモリセルのインバータを構成するPチャネルおよびNチャネルMOSトランジスタを行方向において隣接して配設し、アクセス用のNチャネルMOSトランジスタをこれらのインバータと直交する方向に配置する横型セル構造を実現する。これにより、選択ワード線と選択列に対応する基板領域との交差部に対応して配置されるメモリセルの基板電位を変更させて、メモリセルの負荷PチャネルMOSトランジスタのしきい値電圧の絶対値を変化させることにより、容易に書込を行なうことができる。

また電源電圧VDDを伝達する電源線は、列方向に直線的に延在しており、各列単位でメモリセルの電源電圧VDDを供給することができる。

図14は、PMOS基板制御回路の要部の構成を示す図である。図14において、P型基板74上に、Nウェル41が形成される。このNウェル41において、1列に整列するPチャネルMOSトランジスタが形成される。このNウェル41と素子分離領域85bおよび85cにより分離して、Nウェル80および81がP型基板70表面に形成される。Nウェル80および81は、さらに、素子分離領域85aおよび85bを介して他の素子形成領域から分離される。Nウェル80に、高電圧Vaを伝達するPチャネルMOSトランジスタ（パストランジスタ）P1が形成され、Nウェル81に、低電圧Vbを伝達するPチャネルMOSトランジスタ（パストランジスタ）P2が形成される。

パストランジスタP1は、Nウェル80表面に間をおいて形成されるP型不純物領域82aおよび82bと、これらの不純物領域82aおよび82bの間の領域上の図示しないゲート絶縁膜を介して形成されるゲート電極82cを含

む。不純物領域 8 2 a が高電圧源 V a (VDD または VDDH) に結合される。不純物領域 8 2 b は、N ウェル 4 1 表面に形成される N 型不純物領域 8 4 a に結合される。この N ウェル 8 0 は、高電圧源 V a にバイアスされる。

5 パストランジスタ P 2 は、N ウェル 8 1 表面に間をおいて形成される P 型不純物領域 8 3 a および 8 3 b と、これらの不純物領域 8 3 a および 8 3 b の間の領域上の図示しないゲート絶縁膜を介して形成されるゲート電極 8 3 c を含む。不純物領域 8 3 b は低電圧源 V b (VDD、VDDL またはダイオード接続された MOS トランジスタのゲート／ドレイン) に結合され、不純物領域 8 3 a は、N ウェル 4 1 表面に形成される N 型不純物領域 8 4 b に結合される。
10 N ウェル 8 1 は、高電圧 V a にバイアスされる。

P チャネル MOS トランジスタ P 1 の導通時には、N 型不純物領域 8 4 a を介して N ウェル 4 1 へは、高電圧 V a が供給される。p チャネル MOS トランジスタ P 2 の導通時には、N ウェル 4 1 に対し、N 型不純物領域 8 4 b を介して低電圧 V b が供給される。N ウェル 4 1 に高電圧 V a が供給されても、N ウェル 8 1 が高電圧 V a にバイアスされており、P チャネル MOS トランジスタ
15 P 2 の基板領域の N ウェル 4 1 に電流が流れこむのを防止することができる。

MOS トランジスタ P 1 および P 2 を、それぞれ、互いに分離される N ウェル 8 0 および 8 1 に形成し、これらのウェル領域を高電圧 V a でバイアスすることにより、高電圧源 V a および低電圧源 V b を確実に分離することができる。
20 。

また、この N ウェル 8 0 は、基板電位設定回路の各列に対して設けられる基板電位制御回路の P チャネル MOS トランジスタ P 1 に共通に設けられ、また N ウェル 8 1 は、基板電位設定回路の各列に設けられる基板電位制御回路の P チャネル MOS トランジスタ P 2 に共通に形成されてもよい。

25 なお、図 1 4 に示す構成においては、MOS トランジスタ P 1 および P 2 が

Nウェル41の両側の領域に形成されるように示される。しかしながら、図16に示すように、Nウェル41の一方側に、各列毎に、これらのPチャネルMOSトランジスタP1およびP2が整列して配置される。

すなわち、図15に示す構成において、Nウェル41の外側に、N型不純物領域84を形成する。このN型不純物領域84と対向して、パストランジスタP1およびP2をそれぞれ形成するN型領域86aおよび86bを配置する。トランジスタ形成領域86aおよび86bは、互いに分離され、また、基板領域は、高電圧V_aにバイアスされる。パストランジスタP1またはP2の導通時、電圧V_aまたはV_bが、N型不純物領域84に供給される。このトランジスタ形成領域86aおよび86bは、行方向に整列するのではなく、列方向に整列して配置されてもよい。

このN型領域84は、メモリセル列毎に分離される。このN型領域84に結合しかつ列方向に延在する上層金属配線（例えば、第4金属配線）87を配設し、Nウェル41と適当な間隔でこの上層金属配線87とNウェルとを接続する。基板電圧伝達線を杭打ち構造とすることができ、基板電圧を低抵抗で1列に整列するメモリセルのバックゲートに伝達することができ、また、高速で、基板電圧V_{PP}を変更することができる。

以上のように、この発明の実施の形態4に従えば、メモリセル列ごとに、PチャネルMOSトランジスタの形成領域を個々に分離して形成しており、選択列のメモリセルのPチャネルMOSトランジスタ（負荷PMOSトランジスタ）の基板電位（バックゲート電位）を容易に変更することができる。

〔実施の形態5〕

図16は、この発明の実施の形態5に従う半導体記憶装置の全体の構成を概略的に示す図である。この図16に示す構成においては、基板電位設定回路10は、メモリセルMCのNチャネルMOSトランジスタの基板電圧を動作モー

ドに応じて調整する。すなわち、基板電位設定回路10は、メモリセル列それぞれに対応して配置されるNMOS基板制御回路NBC（NBC0、NBC1）を含む。NMOS基板制御回路NBCは、対応の列のメモリセルに共通に配設されるに基板電圧伝達線120に電圧VBBを供給する。この、基板電圧伝達線120上の電圧VBBが、対応の列のメモリセルのNMOSトランジスタのバックゲートに共通に与えられる。図16に示す半導体記憶装置の他の構成は図1に示す半導体記憶装置の構成と同じであり、対応する部分には同一参照番号を付して、それらの詳細説明は省略する。

図17は、図16に示すメモリセルMCの構成を具体的に示す図である。図17に示すように、基板電圧伝達線120は、NチャネルMOSトランジスタ（アクセストランジスタ）NQcおよびNQdの基板領域に結合され、かつインバータ11aおよび11bのNチャネルMOSトランジスタ（ドライブトランジスタ）NQaおよびNQbの基板領域に結合される。PチャネルMOSトランジスタ（負荷PMOSトランジスタ）PQaおよびPQbの基板電位は、例えば電源電圧VDDに固定される。図17に示すメモリセルMCの他の構成は、図2に示すメモリセルの構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

一般に、NチャネルMOSトランジスタは、基板バイアスが浅くなると、そのしきい値電圧が低下し（小さくなり）、電流駆動力が大きくなる。したがって、データ書込時、選択列に従って配置される基板電圧伝達線120の電圧VBBのレベルを高くして基板バイアスを浅くし、選択列のメモリセルのNチャネルMOSトランジスタのしきい値電圧を低くすることにより、NチャネルMOSトランジスタNQaおよびNQbの電流駆動力（ドレイン電流）が大きくなる。応じて、メモリセルのスタティック・ノイズ・マージンが低下し、データ保持安定性が低下し、高速でデータを書込むことができる。このとき、アク

セス用のNチャネルMOSトランジスタNQcおよびNQdも同時に、その基板バイアスが浅くされるため、高速で、ビット線BLおよびZBLからの書込データを記憶ノードSNaおよびSNbに転送することができる。

図18は、図16に示す基板制御回路NBC（NBC0、NBC1を代表的に占めす）の構成を示す図である。この図18に示す構成においては、基板電圧伝達線120は、列方向に延在し、1列に整列して配置されるメモリセルのNチャネルMOSトランジスタの基板領域に共通に結合される。

NMOS基板制御回路NBCは、基板制御信号BEと列選択信号CDを受け
AND回路AC1と、AND回路AC1の出力信号を受けるインバータINV1
AND回路NC1の出力信号がHレベルのとき導通し、導通時、電圧
源VSSを基板電圧伝達線120に結合するNチャネルMOSトランジスタ（
パストランジスタ）NT1と、インバータINV1の出力信号がHレベルの
とき導通し、導通時、電圧源VSSLを基板電圧伝達線120に結合するNチャ
ネルMOSトランジスタNT2を含む。

電圧VSSは、例えば接地電圧（0V）であり、電圧VSSLは例えば、
0.5Vであり、電圧VSSLが電圧VSSよりも低い電圧レベルに設定され
る。電圧VSSLは、負電圧であり、NチャネルMOSトランジスタの基板領
域と不純物領域の間のPN接合がオフ状態を維持する。

この低電圧（負電圧）は、DRAMにおいてメモリセルアレイの基板領域に
供給する基板バイアス電圧を生成するキャパシタのチャージポンプ動作を利用
する負電圧発生回路と同様の構成を用いて内部で生成されてもよく、また、外
部から与えられてもよい。

AND回路AC1およびインバータINV1は、接地電圧VSSレベルの信
号を負電圧VSSLレベルに変換するレベル変換機能を有する。基板電圧伝達
線120に負電圧VSSLが伝達されるときにパストランジスタNT1を確実に

にオフ状態に維持し、また、基板電圧伝達線120に接地電圧VSSが伝達される時にパストランジスタNT2を確実にオフ状態に設定する。

図19は、図18に示すNMOS基板制御回路NBCのデータ書込時の動作を示す信号波形図である。以下、図19を参照して、このNMOS基板制御回路NBCの動作について簡単に説明する。

スタンバイ状態時およびデータ非書込時には、AND回路AC1の出力信号はLレベルであり、NチャネルMOSトランジスタNT2が導通し、低電圧源VSSLが、基板電圧伝達線120に結合される。この状態では、メモリセルMCのNチャネルMOSトランジスタの基板バイアスは深い状態であり、安定にデータを保持することができる。

データ書込サイクルが始まり、基板制御信号BEがHレベルとなる。選択列に対して、列選択信号CDがHレベルとなると、AND回路NC1の出力信号がHレベルとなり、応じてインバータINV1の出力信号はLレベルとなる。したがって、基板電圧伝達線120は高電圧源VSSにNチャネルMOSトランジスタNT1を介して結合され、この基板電圧伝達線120の電圧レベルが上昇する。したがって、選択列のメモリセルのNチャネルMOSトランジスタのしきい値電圧が低下し、高速でデータを書込むことができる。非選択列においては、AND回路NC1の出力信号はLレベルであり、基板バイアス電圧は、低電圧源の電圧VSSLであり、安定にデータが保持される。

データ書込が完了すると、基板制御信号BEがLレベルとなり、選択列に対して設けられたAND回路AC1の出力信号が再びLレベルに立下り、基板電圧伝達線120が、低電圧源VSSに結合される。これにより、選択列のメモリセルのNチャネルMOSトランジスタのしきい値電圧が高くなり、書込データが安定に保持される。

図20は、この発明の実施の形態5に従う半導体装置の動作を示すタイミン

グ図である。以下、図20を参照して、図16に示す半導体記憶装置の動作について説明する。図20においても、内部信号の振幅は、電源電圧VDDと同じ1.0Vであり、Hレベルが1.0VかつLレベルがVSS(0V)である。低電圧VSSLは-0.5Vである。

- 5 セルイネーブル信号CECがHレベルのとき、この半導体記憶装置は非選択状態（スタンバイ状態）であり、主制御回路8からの基板制御信号BEはLレベルである。したがって、図18に示すAND回路AC1の出力信号はLレベルであり、応じて、インバータINV1の出力信号がHレベルである。したがって、パストランジスタNT1がオフ状態、パストランジスタP2がオン状態
- 10 となり、基板電圧伝達線120上の電圧VBBとして、低電圧源VSSLからの負電圧VSSLが与えられる。従って、図17に示すNチャネルMOSトランジスタNQa-NQdは、ソースおよび基板（バックゲート）が逆バイアス状態となり、しきい値電圧が大きい状態に設定される。これにより、各メモリセルMCのスタティックノイズマージンが大きくなり、安定にデータが保持さ
- 15 れる。

- アクセスサイクルが始まると、セルイネーブル信号CECをLレベルに設定する。クロック信号の立ち上がり時にライトイネーブル信号WEがHレベルであれば、データ読出モードが指定される。このデータ読出時の動作はメモリセルの基板電圧を除けば、図4に示す実施の形態1の場合と同じデータ読出動作
- 20 が行われる。すなわち、図16に示すロウデコーダ2およびカラム選択回路3が、主制御回路8の制御のもとにデコード動作を行ない、アドレス信号ADにより指定された行および列に対応するワード線およびビット線対に対する選択信号がHレベルに立上がる。図20においては、メモリセルMC00が指定された状態を示す。この場合、ワード線WL0がロウデコーダ2によりHレベル
- 25 に駆動され、また、列選択信号CD0がHレベルとなり、ビット線BL0およ

びZBL0にメモリセルMC00の記憶ノードSNaおよびSNbが接続され、ビット線BL0およびZBL0に電位差が生じ、この電位差が、カラム選択回路4を介して書込／読出回路7へ伝達されて、メモリセルのデータに応じた出力データDOが生成されてデータの読出が行われる。

- 5 選択ワード線WL0は、所定期間が経過すると非選択状態へ駆動され、また、メモリセルデータの書込／読出回路7におけるセンス動作が完了すると、列選択信号CD0も非選択状態へ駆動される。

- 10 このデータ読出時において、基板電圧伝達線120の電圧VBBは、基板制御信号BEがLレベルであるため、全ての列において、負電圧VSSLレベルである。メモリセルMCにおいては、ドライブNMOSトランジスタのしきい値電圧が大きく、スタティックノイズマージンは十分に確保されており、安定にデータを読み出すことができる。

- 15 次にデータ書込動作について説明する。この場合においても、メモリセルMC00が選択される状態を考える。データ書込時においては、セルイネーブル信号CECおよびライトイネーブル信号WECがともにLレベルに設定される。クロック信号CLKの立上りに応答して、主制御回路8がロウデコーダ2およびカラム選択回路4を活性化し、データ読出動作時と同様にワード線WL0および列選択信号CD0がHレベルに駆動される。

- 20 このデータ書込時においては、主制御回路8は、基板制御信号BEをHレベルに駆動する。従って、選択列に対して設けられたNMOS基板制御回路NBC0において、図18に示すAND回路AC1の出力信号がHレベル、インバータINV1の出力信号がLレベルとなる。応じて、基板電圧伝達線120へは、高電圧源VSSからの電圧VSSが、パストランジスタNT1を介して伝達される。

- 25 メモリセルMC00において、図17に示すNチャネルMOSトランジスタ

NQ a－NQ dは、基板バイアスが浅くなり、そのしきい値電圧が小さく、電流駆動力が上昇し、メモリセルMC 0 0のスタティックノイズマージンが低下し、データの反転が容易に行うことができる。書込み／読出回路7により選択列のビット線BL 0およびZBLへデータを書込み、ビット線BL 0およびZBL 0の電位が、書込データに応じて変化する。このとき、インバータ1 1 aおよび1 1 bそれぞれの入力論理しきい値が低下して、メモリセルのスタティック・ノイズ・マージンが低下しており、容易に、記憶ノードSN aおよびSN bの電位を、書込データに応じた電位レベルに設定することができる。また、選択列においては、アクセストランジスタNMOS トランジスタNQ cおよびNQ dの電流駆動力も同様に大きくされており、高速で記憶ノードへビット線の電圧を伝達することができる。

非選択列のメモリセルMC 0 1およびMC 1 1については、基板電圧伝達線1 2 0上の電圧VBB 1は、低電圧源VSSLからの負電圧VSSLであり、データ読出時と同様、スタティックノイズマージンは十分に大きく、安定にデータを保持する。したがって、選択メモリセルと同一行の非選択メモリセルにおいて、アクセストランジスタ（NQ c，NQ d）がオン状態となり、ビット線BLおよびZBLに記憶ノードがそれぞれ接続される場合においても、安定にデータを保持することができる。

また、選択メモリセルと同一列のメモリセルは、アクセストランジスタ（NQ c，NQ d）がオフ状態であり、記憶ノードSN aおよびSN bは、対応のビット線BLおよびZBLから分離されており、それらの電位は変化しないため、たとえ、ドライブNMOS トランジスタの電流駆動力が増大しても、その保持特性に影響はなく、安定にデータを記憶する。

データ書込が完了すると、列選択信号CDおよび基板制御信号BEの一方の立下りに応答して、AND回路AC 1の出力信号がLレベルとなり、再び、選

択列の基板電圧伝達線 120へは、パストランジスタNT2を介して負電圧VSSLが伝達される。したがって、図17に示すドライブNMOSトランジスタNQaおよびNQbの基板バイアスが再び深くなり、スタティック・ノイズ・マージンが高くなり、安定に書込データが保持される。

- 5 したがって、選択列において、データ書込時、メモリセルのNチャネルMOSトランジスタの基板バイアスを浅くすることにより、メモリセルのスタティックノイズマージンが小さくなり、容易に書込データに応じて記憶ノードの電位を設定することができる。非選択列のメモリセルにおいては、ドライブNMOSトランジスタの基板電位を読出時と同一の負電圧レベルに設定することにより、非選択列のメモリセルのドライブNMOSトランジスタのしきい値電圧
- 10 を一定に維持して駆動能力を維持し、メモリセルのスタティックノイズマージンを確保する。

- データ読出時においては、基板バイアスは深い状態に維持されるため、メモリセルのスタティックノイズマージンは十分に確保されており、安定にデータ
- 15 を読み出すことができる。

- したがって、データ書込時、選択列のメモリセルのNチャネルMOSトランジスタの基板バイアスを浅くすることにより、そのしきい値電圧を小さくして電流駆動力を大きくしてスタティック・ノイズ・マージンを小さくすることができ、読出マージンおよび書込マージンを十分に確保して安定にデータを保持
- 20 しつつデータを高速で書込むことができる。

- 特に、データ書込時列単位でメモリセルのNチャネルMOSトランジスタの基板電圧を調整しており、行単位で基板電圧を調整する場合に較べて、選択行の非選択列のメモリセルのスタティックノイズマージンを十分に確保することができ、たとえ、この非選択メモリセルの記憶ノードが対応のビット線に接続
- 25 されても安定にデータを保持することができる。

以上のように、この発明の実施の形態5に従えば、各列ごとに、メモリセルのNチャネルMOSトランジスタの基板バイアスを調整するように構成して、データ書込時、選択列のNチャネルMOSトランジスタの基板バイアスを浅くしており、データの安定保持および高速データ書込をともに実現することができ

[実施の形態6]

図21は、この発明の実施の形態6に従うNMOS基板制御回路NBCの構成を示す図である。この図21に示すNMOS基板制御回路NBCの構成は、以下の点で、図18に示すNMOS基板制御回路の構成と異なっている。すなわち、パストランジスタNT1が、高接地電圧VSSHを供給する高接地源に結合され、パストランジスタNT2が、接地電に結合される。高接地電圧VSSHは、接地電圧VSSよりも高い電圧であり、例えば、0.5Vに設定される。電圧VSSHは、NチャネルMOSトランジスタのN型不純物領域とP型基板領域の間のPN接合がオフ状態に維持される正の電圧レベルに維持される。この高接地電圧VSSHは、外部から導入されてもよく、また、電源電圧VDDからDC-DCコンバータなどの降圧回路または分圧回路または定電流源と抵抗素子とで構成される定電圧発生回路などを用いて生成されてもよい。

半導体記憶装置の全体の構成は図16に示す構成と同様である。以下、図21に示すNMOS基板制御回路NBCの動作について説明する。

この図21に示す基板制御回路の構成においては、スタンバイ時および非選択時およびデータ読出時においては、基板制御信号BEがLレベルであり、AND回路AC1の出力信号がLレベルである。従って、パストランジスタNT2がオン状態、パストランジスタNT1がオフ状態であり、基板電圧伝達線120には、接地電圧VSSが基板バイアス電圧VBBとして伝達される。

データ書込時においては、選択列に対してAND回路AC1の出力信号がH

レベルとなり、パストランジスタNT1がオン状態となり、基板電圧伝達線120の電圧VBBが高接地電圧VSSHとなる。応じて、選択メモリセルにおいてNチャネルMOSトランジスタのしきい値が小さくなり、スタティックノイズマージンが低下し高速でかつ安定にデータの書込みが行われる。

- 5 非選択列においては、待機時およびデータ読出時と同様、基板バイアス電圧VBBは、接地電圧VSSレベルであり、データが安定に保持される。

この図21に示すNMOS基板制御回路NBCの構成の場合、AND回路AC1の出力信号の振幅が電源電圧VDDであり、応じて、パストランジスタのゲートソース間電圧は最大電源電圧VDDであり、メモリセルトランジスタ
10 と同一のトランジスタをNMOS基板制御内に利用して、パストランジスタの信頼性を確保することができる。

図22は、この図21に示すNMOS基板制御回路NBCを用いた際の全体の動作を示すタイミング図である。この図22のタイミング図に示される動作は、図20のタイミング図に示される動作と、NMOS基板バイアス電圧VBB
15 Bの電圧レベルを除いて実質的に同じである。データ書込時において、選択列のNMOSトランジスタの基板バイアス電圧VBBが、接地電圧VSS（0V）レベルに設定され、非選択列のメモリセルのNMOS基板バイアス電圧VBBが、高接地電圧（0.5V）に維持される。

待機時およびデータ読出時においては、全メモリセルのNMOS基板バイアス電圧VBBが、接地電圧VSSに維持される。
20

この実施の形態6に示すように、高接地電圧VSSHおよび接地電圧VSSを用い、データ書込時において選択列のNMOS基板バイアス電圧VBBのみを高接地電圧VSSHに設定することにより、データ書込セルに対してスタティックノイズマージンを小さくして高速でデータを書込みかつ安定にデータを
25 読み出すことができる。

以上のように、この発明の実施の形態6に従えば、選択列の基板電圧伝達線へ伝達される電圧を、接地電圧よりも高い高接地電圧に設定しており、安定にデータを読出また、高速でデータを書込むことができる。また、基板制御回路のパストランジスタに印加される電圧を、電源電圧以下に抑制することができ、素子の信頼性を確保することができ、安定に動作する基板制御回路を実現することができる。

なお、NMOS基板制御回路において、データ書込完了時、基板電圧伝達線120を接地電圧に所定期間ワンショット駆動する構成が組合せて用いられてもよい。高速で選択列の基板電圧VBBをもとの接地電圧レベルに設定することができ、高速クロック信号を用いている場合においても正確にデータの書込および読出を行うことができる。

〔実施の形態7〕

図23は、この発明の実施の形態7に従うメモリセルの断面構造を概略的に示す図である。図23においては、メモリセルの平面レイアウトは、図9に示すメモリセルの平面レイアウトと同じである。ただし、メモリセルのNチャネルMOSトランジスタの基板バイアスを列単位で調整するために、NチャネルMOSトランジスタを形成するPウェルを各列ごとに分離する。P基板130において、メモリセル各列ごとに、ボトムNウェル131a、131bおよび131cを形成する。このボトムNウェル131a—131cは、互いに分離される。

ボトムNウェル131a上には、Nウェル134a、Pウェル132aおよびNウェル133aが形成される。Nウェル134aには、メモリセルのPチャネルMOSトランジスタが形成され、Pウェル132aには、NチャネルMOSトランジスタが形成される。Nウェル133aは、ダミーのウェル領域であり、NMOSトランジスタの基板領域を列単位で分離するために設けられる

ボトムNウェル131b上には、Nウェル133b、Pウェル132b、Nウェル134b、Pウェル132cおよびNウェル133cが形成される。Nウェル133bおよび133cは、メモリセル列分離のためのダミーのウェル領域である。Pウェル132bおよび132cには、メモリセルのNチャネルMOSトランジスタが形成され、Nウェル134bには、メモリセルのPチャネルMOSトランジスタが形成される。

Pウェル132aおよび132bが、素子分離領域135aにより分離される。したがって、隣接列におけるアクセストランジスタのゲート電極136が共通に配設される場合においても、これらのアクセストランジスタの基板領域は互いに分離され、またP基板130からも分離される。Pウェル132bおよび134bに形成されるMOSトランジスタは、素子分離領域135bにより分離され、またNウェル134bとPウェル132cに形成されるMOSトランジスタは、素子分離領域135cにより分離される。

したがって、メモリセルのインバータを構成するMOSトランジスタのゲート電極137が共通に配設される場合においても、これらのPチャネルMOSトランジスタおよびNチャネルMOSトランジスタを確実に分離することができる。

ボトムNウェル131c上には、Nウェル133d、Pウェル132dおよびNウェル134cが形成される。Nウェル133aは、列分離用のウェル領域であり、Pウェル132dには、NチャネルMOSトランジスタが形成され、Nウェル134cには、PチャネルMOSトランジスタが形成される。このPウェル132dおよび132c上に、ゲート電極138が形成される。Pウェル132cおよび131cに形成されるNチャネルMOSトランジスタは、素子分離領域135dにより分離される。

これらの素子分離領域135a-135dは、トレンチ分離構造を有する。ボトムNウェル131a-131cは、それぞれ、対応して設けられるNウェルにより所定電圧にバイアスされ、P基板130から、確実に、各分離セル列ごとに、メモリセル形成領域を分離する。

- 5 したがってこの図23に示すように、ダミーのNウェル133a-133dを利用して、各列ごとに、メモリセルの形成のための基板領域を分離することにより、各列単位で、NチャネルMOSトランジスタを形成するPウェルのバイアス電圧を調整することができる。

- 10 Pウェルに対し、基板バイアス電圧を印加する構成としては、図14に示す構成または図15に示す構成と同様の構成を利用することができる。単に導電型を反対とし、Pウェル領域下部にボトムNウェルによりウェル分離されたPウェル内に高電圧（接地電圧または高接地電圧）および低電圧（負電圧または接地電圧）をそれぞれ伝達するNチャネルMOSトランジスタを形成する。この場合、パストランジスタNT1およびNT2が共通のPウェルに形成され、
- 15 Pウェルが低電圧源に結合されてもよい。

- 20 以上のように、この発明の実施の形態7に従えば、メモリセルのレイアウトとして、横型セル構造を利用し、PウェルおよびNウェルを各列ごとに列方向に延在させかつ分離して配置しており、容易に各列単位でNチャネルMOSトランジスタのしきい値電圧を変化させることができ、データ保持特性を劣化させることなく高速でデータを書込むことができる。

[実施の形態8]

図24は、この発明の実施の形態8に従うメモリセルアレイの平面レイアウトを概略的に示す図である。図24においては、3列に配列されるメモリセルMC0-MC3のレイアウトを概略的に示す。

- 25 図24において、行方向においてPウェルPWLとNウェルNWLとが交互

に列方向沿って直線的に延在して配置される。図24においては、PウェルPWL0-PWL2と、NウェルNWL0-NWL1とが交互に配置される。PウェルPWL0-PWL2それぞれにおいて、NチャネルMOSトランジスタを形成するN型活性領域NACが列方向に矩形形状に形成され、また、NウェルNWL0およびNWL1それぞれにおいて、PチャネルMOSトランジスタを形成するP型活性領域PACが矩形形状に形成される。N型活性領域NACにおいて4つのNチャネルMOSトランジスタが形成され、P型活性領域PACにおいては2つのPチャネルMOSトランジスタが形成される。

5 P型活性領域PACは、第1ポリシリコン配線PLGをマスクとしてP型不純物を導入することにより形成され、N型活性領域NACは、第1ポリシリコン配線PLGおよびPLWをマスクとしてP型不純物を注入することにより形成される。

15 行方向に連続的に延在して配置される第1ポリシリコン配線PLWが、ワード線を構成し、第1ポリシリコン配線PLGがメモリセルトランジスタのゲート電極を構成する。N型活性領域NACにおいては1ビットのメモリセルの4つのNチャネルMOSトランジスタが形成され、P型活性領域PACにおいては隣接するメモリセルの負荷PMOSトランジスタが形成される。

20 1ビットのメモリセルの形成領域MCRは、従って、隣接するNウェルNWLおよびPウェルPWLに形成される1個のPチャネルMOSトランジスタと2個のNチャネルMOSトランジスタをそれぞれ含む2つの矩形領域で構成される。これらの2つのメモリセル矩形領域は、同一のPウェルに配置される領域と、異なるNウェルに配置される領域を含む。

25 P型活性領域PACは、コンタクトCTを介して同一メモリセルのN型活性領域に、行方向に延在する第1金属配線ML1を介して接続され、これにより、アクセストランジスタおよびドライブトランジスタのドレイン領域と負荷P

MOSトランジスタのドレインとが相互接続される。

この第1金属配線ML1と平行に、同一メモリセル領域ないMCRのP型活性領域PACおよびN型活性領域NACを横切るように第1ポリシリコン配線PLGが形成され、メモリセルのCMOSインバータを構成するMOSトランジスタのゲート電極が形成される。この第1ポリシリコン配線PLGは、コンタックとCTを介してメモリセル領域MCR内において列方向に延在する第1金属配線ML1に接続され、CMOSインバータ対の入出力の交差接続が形成される。

列方向に直線的に延在してウェル中央部およびウェル境界領域に対応して第2金属配線ML2が配設される。この第2金属配線ML2によりビット線、接地電圧VSSを伝達する接地線、および電源電圧VDDを伝達する電源線がこの順に形成される。電源線および接地線を構成する第2金属配線ML2は、それぞれ、N型およびP型活性領域NACおよびPACと整列して配置され、メモリセルに接地電圧VSSおよび電源電圧VDDを供給する。接地線を構成する第2金属配線ML2は、第1ビアVAおよびコンタクトCTを介して、下層に形成されるN型活性領域に接続される。電源線を構成する第2金属配線ML2は、第1ビアVAおよびコンタクトを介して下層に形成されるP型活性領域PACに接続される。

接地線および電源線の間には、ビット線BLおよびZBLが交互に配設される。図24においてはPウェルPWL0とNウェルNWL0との間の領域においてビット線ZBL0を構成する第2金属配線ML2が配設され、NウェルNWL0およびPウェルPWL1の間の領域にビット線BL1を構成する第2金属配線ML2配設される。ウェルPWL1およびNWL1の間の境界領域において、ビット線BLZBL1を構成する第2金属配線ML2が配設され、ウェルNWL1およびPWL2の間の境界領域において、ビット線BL2が配設さ

れる。PウェルPWL 2と図示しないNウェルとの間の境界領域においてビット線ZBL 2を構成する第2金属配線ML 2が配設される。これらのビット線を構成する第2金属配線ML 2は、隣接するN型活性領域と第1ビアVAおよびコンタクトを介して接続される。

5 従って、この図24に示すメモリセルのレイアウトにおいては、電源電圧VDDおよび接地電圧VSSを伝達する第2金属配線がML 2が列方向に延在して配置され、また、NチャネルMOSトランジスタを形成するN型活性領域NACは、列方向に延在するPウェル領域に配置される。従って、PウェルPWLは、各メモリセル列毎に分離して配置される。

10 この図24に示すレイアウトをN型半導体基板上に形成する。また、これに代えて、P型半導体基板上に図24に示すレイアウトが形成される場合には、図23に示すように、トリプルウェル構造を採用して、PウェルPWLおよびNウェルNWL下部にボトムNウェルを形成して、PウェルPWLとP型半導体基板とを電氣的に分離する。これにより、メモリセルのNチャネルMOSト
15 ランジスタのバックゲートを構成するPウェルの電圧をメモリセル列単位で設定することができる。この場合、PウェルPWLの間のNウェルNWLが、電源電圧VDDに固定されるため、ボトムNウェルを、各列毎に分離することは特に要求されない。

図25は、1ビットメモリセルのレイアウトをより詳細に示す図である。図
20 25において、1ビットメモリセル形成領域MRCは、NチャネルMOSトランジスタを形成するN型活性領域NACAと、PチャネルMOSトランジスタを形成するP型活性領域PACAおよびPACBを含む。N型活性領域NACAは、PウェルPWLに形成され、P型活性領域PACAおよびPACBは、それぞれ、NウェルNWL AおよびNWL Bに形成される。

25 行方向に、これらのウェルを横切るように第1ポリシリコン配線PL 3およ

びPL4が配設され、ワード線WLが配置される。これらのポリシリコン配線PL3およびPL4は、同一のワード線駆動信号を伝達する。

1ビットメモリセル形成領域MRCにおいて、活性領域PACAおよびNACAを横切るように、第1ポリシリコン配線PL1が配設される。この第1ポリシリコン配線PL1は、ウェル境界領域においてゲートとコンタクトGCを介して第1金属配線ML1Bに接続される。この第1金属配線ML1Bは、L字状に形成され、活性領域NACAおよびPACBにコンタクトCTEおよびCTFを介して結合される。

活性領域NACAおよびPACBを横切るように、第1ポリシリコン配線PL2が配設される。この第1ポリシリコン配線PL2は、第1金属配線ML1Bと対称的な形状に配置される第1金属配線ML1Aに接続される。この第1金属配線ML1Aは、活性領域NACAおよびPACAにコンタクトを介して接続される。

この上層に列方向に直線的に延在する第2金属配線が配設されるが、図25においては示していない。N型活性領域NACAは、コンタクトCTCおよびCTDを介して、ビット線BLおよびZBLをそれぞれ構成する第2金属配線に接続され、また、接地電圧を伝達する接地線を構成する第2金属配線に、その中央部に形成されたコンタクトCTBを介して接続される。

P型活性領域PACAは、コンタクトCTAを介して電源電圧を伝達する電源線を構成する第2金属配線に接続され、また、P型活性領域PACBは、コンタクトCTGを介して別の電源線を構成する第2金属配線に接続される。

メモリセルトランジスタを列方向に整列して配置することができ、また、記憶ノードの接続が内部の第1金属配線で実現され、配線の重なりがなく効率的に配線を配置することができる。また、トランジスタのゲートを構成する第1ポリシリコン配線は、単に行方向に配置されるだけであり、各トランジスタ

のゲート幅の制御が容易となる。

図26は、図25に示すレイアウトの電氣的等価回路を示す図である。図25において、P型活性領域PACAにおいて、PチャネルMOSトランジスタQP1が配置され、そのソースに電源電圧VDDが与えられる。

5 N型活性領域NACAにおいて、NチャネルMOSトランジスタQN1ーQN4が形成される。MOSトランジスタQN1は、そのゲートが第1ポリシリコン配線PL3で形成されるワード線WLに結合され、その一方導通ノードがビット線BLに接続され、その他方導通ノードが第1金属配線ML1Aに接続される。

10 MOSトランジスタQN2は、MOSトランジスタと接地線との間に接続され、かつそのゲートが第1金属配線ML1Bに接続される。

MOSトランジスタQN3は、接地線とMOSトランジスタQN4との間に接続され、そのゲートが第1金属配線ML1Aに接続される。

15 MOSトランジスタQN4は、ビット線ZBLに接続され、かつそのゲートが第1ポリシリコン配線PL4で形成されるワード線WLに接続される。

P型活性領域PACBにおいて、PチャネルMOSトランジスタQP2が形成される。このMOSトランジスタQP2は、そのソースが電源線に接続されて電源電圧VDDを受け、かつそのドレインが、第1金属配線ML1Bに接続される。

20 メモリセルのCMOSインバータを構成するMOSトランジスタQP1およびQN2のゲートを第1ポリシリコン配線PL1で接続し、他方のCMOSインバータを構成するMOSトランジスタQN3およびQP2のゲートを第1ポリシリコン配線PL2で接続する。

25 この構成の場合、NチャネルMOSトランジスタQN1ーQN4が列方向に整列して配置され、N型活性領域を形成するPウェルがNウェルにより隣接列

のPウェルと分離されており、PウェルPWLの電位を接地電圧VSSと別にバイアス電圧VBBを列毎にここに供給する。

図27は、NMOS基板制御回路NBCのパストランジスタNT1およびNT2の構成を概略的に示す図である。図27において、P型基板200上にボトムNウェル202が形成される。このボトムNウェル202により各Pウェルを分離する。

メモリセルトランジスタを形成するPウェルPWLと、パストランジスタNT1およびNT2を形成するPウェル204がボトムNウェル202上に形成される。これらのPウェルPWLおよび204は、ボトムNウェル202に到達する素子分離膜207により完全分離される。

パストランジスタNT2は、Pウェル204上に互いに間をおいて形成されるN型不純物領域210および211と、これらの不純物領域210および211の間のウェル領域上に図示しない絶縁膜を介して形成されるゲート電極212とを有する。不純物領域210に低接地電圧VLSが与えられる。Pウェル204は、その表面に形成されるP型不純物領域217により低バイアス電圧VLS（接地電圧または負電圧）にバイアスされる。

パストランジスタNT1は、Pウェル204上に互いに間をおいて形成されるN型不純物領域213および214と、これらの不純物領域213および214の間のウェル領域上に図示しない絶縁膜を介して形成されるゲート電極215とを有する。不純物領域213に高バイアス電圧VLH（正の電圧または接地電圧）が与えられる。

パストランジスタNT1およびNT2は、Pウェル204に形成される部分素子分離膜209により分離される。不純物領域211および214が、共通にPウェルPWL表面に形成されるP型不純物領域220に結合される。パストランジスタNT1またはNT2の導通時、このP型不純物領域220を介し

てPウェルPWLにバイアス電圧VBBが供給される。

パストランジスタNT2が導通し、低バイアス電圧VLSが選択された時、PウェルPWLに不純物領域211および220を介して低バイアス電圧VLSが供給される。この時、不純物領域214に低バイアス電圧VLSが伝達されても、パストランジスタNT1は、オフ状態であり、また、Pウェル204が低バイアス電圧VLSにバイアスされており、不純物領域214とPウェル204との間のPN接合は非導通状態を維持する。

また、不純物領域213に常時高バイアス電圧VSHが印加されても、Pウェル204は低バイアス電圧VLSにバイアスされており、この不純物領域213とPウェル204との間のPN接合は非導通状態を維持する。

この図27に示す構成を各PウェルPWLごとに配置する事により、メモリセル単位でNチャネルMOSトランジスタの基板電圧を制御することができる。

なお、Pウェル204は、NMOS基板制御回路に共通に設けられてもよい。

また、図15に示す構成と同様、PウェルPWLに対して、接地線と平行に杭打ち配線を配置して、基板バイアス電圧VBBを伝達してもよい。高速で基板バイアス電圧VBBを変化させることができる。

以上のように、この発明の実施の形態8に従えば、列方向にウェルを配置し、かつ行方向においてPウェルとNウェルとを交互に配置しており、メモリセル列単位でNチャネルMOSトランジスタの基板バイアス電圧を容易に設定することができる。

[実施の形態9]

図28は、この発明の実施の形態9に従う半導体記憶装置の全体の構成を示す図である。図28に示す半導体記憶装置は、図1に示す半導体記憶装置と以

下の点において、その構成が異なる。すなわち、基板電位設定回路10において、メモリセルのPチャネルMOSトランジスタおよびNチャネルMOSトランジスタの基板電圧をそれぞれ動作モードに応じて制御するPN基板制御回路PNBCが配置される。図28においては、ビット線BL0およびZBLに対して配置されるPN基板制御回路PNBC0と、ビット線BL1およびZBL1に対して配置されるPN基板制御回路PNBC1を示す。

各PN基板制御回路PNBCは、対応の列のメモリセルのPチャネルMOSトランジスタの基板電圧VPPを伝達する基板電圧伝達線20と、対応の列のメモリセルのNチャネルMOSトランジスタの基板バイアス電圧VBBを伝達する基板電圧伝達線120とを駆動する。

図28に示す半導体記憶装置の他の構成は、図1に示す半導体記憶装置の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

図29は、メモリセルMCの構成を具体的に示す図である。メモリセルMCの構成は先の実施の形態において示すものと同様であり、インバータ11aは、PチャネルMOSトランジスタ（負荷PMOSトランジスタ）PQaおよびNチャネルMOSトランジスタ（ドライブNMOSトランジスタ）NQaを含み、インバータ11bが、PチャネルMOSトランジスタPQbおよびNチャネルMOSトランジスタNQbを含む。メモリセルMCは、さらに、ワード線WLの信号に従って、内部の記憶ノードSNaおよびSNbをビット線BLおよびZBLに接続するアクセスNMOSトランジスタNQcおよびNQdを含む。

負荷PMOSトランジスタPQaおよびPQbの基板領域（バックゲート）が基板電圧伝達線20に結合され、NチャネルMOSトランジスタNQa、NQb、NQcおよびNQdの基板領域に、基板電圧伝達線120が結合される

すなわち、図 28 に示す基板制御回路 PNBC は、データ書込時、選択列のメモリセルを P チャンネル MOS トランジスタおよび N チャンネル MOS トランジスタの両者の基板電位を調整してしきい値電圧を調整する。

- 5 図 30 は、図 28 に示す PN 基板制御回路 PNBC の構成を示す図である。
図 30 において、PN 基板制御回路 PNBC は、基板制御信号 BE と列選択信号 CD を受ける NAND 回路 NC1 と、NAND 回路 NC1 の出力信号を受けるインバータ INV1 と、NAND 回路 NC1 の出力信号に従って選択的に導通し、導通時、低電圧源 VSS を基板電圧伝達線 120 に結合する N チャンネル MOS トランジスタ NT3 と、インバータ INV1 の出力信号に従って MOS トランジスタ NT3 と相補的に導通し、導通時接地電圧 VSS を基板電圧伝達線 120 に伝達する N チャンネル MOS トランジスタ NT4 と、インバータ INV1 の出力信号に従って選択的に導通し、導通時低電圧源 VDDL を基板電圧伝達線 20 へ結合する P チャンネル MOS トランジスタ PT3 と、NAND 回路 NC1 の出力信号に従って MOS トランジスタ PT3 と相補的に導通し、導通時電源 VDD を基板電圧伝達線 20 に結合する P チャンネル MOS トランジスタ PT4 を含む。

高接地電圧 VSSH は、接地電圧 VSS よりも高い電圧である。また、低電圧源電圧 VDDL は、電源電圧 VDD よりも低い電圧である。

- 20 基板電圧伝達線 20 は、1 列に整列して配置されるメモリセルの P チャンネル MOS トランジスタの基板領域に共通に結合され、基板電圧伝達線 120 は、1 列に整列して配置されるメモリセルの N チャンネル MOS トランジスタの基板領域に共通に結合される。

- 25 この PN 基板制御回路 PNBC の構成は、図 5 および図 21 に示す基板制御回路 PBC および NBC を組合せた回路構成と等価である。

図31は、図30に示すPN基板制御回路PNBCを用いた時の半導体記憶装置の動作を示す信号波形図である。以下、図30を参照して、図30に示すPN基板制御回路PNBCを含む半導体記憶装置の動作について説明する。電
5 圧 V_{SSH} および V_{DDL} は0.5Vであり、電源電圧 V_{DD} は1.0V、接地電圧 V_{SS} が0Vである。

この図31に示す動作は、図6および図22に示すタイミング図の動作を組合せたものと等価である。従って、実施の形態2および6に示される動作が平行して行われる。すなわち、非選択状態時および非データ書込時においては、
10 NAND回路Nc1の出力信号はHレベルであり、NチャネルMOSトランジスタNT3およびPチャネルMOSトランジスタPT3が導通する。したがって、基板電圧伝達線20へは、バイアス電圧 V_{PP} として低電圧源 V_{DDL} の電圧 V_{DDL} が伝達され、また基板電圧伝達線120へも同様、バイアス電圧 V_{BB} として、接地電圧源 V_{SS} の電圧 V_{SS} が伝達される。したがって、メ
15 モリセルMCにおいては、PチャネルMOSトランジスタの基板バイアスが浅く、またNチャネルMOSトランジスタの基板バイアスは深い状態であり、PチャネルMOSトランジスタのしきい値電圧の絶対値が低く、またNチャネルMOSトランジスタのしきい値電圧が高い。したがって、PチャネルMOSトランジスタの電流駆動力が大きく、NチャネルMOSトランジスタの電流駆動
20 力が小さく、メモリセルMCは、安定にデータを保持する。

データ書込時において、基板制御信号BEがHレベルに立上がる。選択列に対しては列選択信号CDがHレベルとなり、NAND回路NC1の出力信号がLレベルとなる。したがって、選択列に対して設けられたPN基板制御回路PNBCにおいては、NチャネルMOSトランジスタNT4およびPチャネルM
25 OSトランジスタPT4が導通し、MOSトランジスタNT3およびPT3が

非導通状態となる。したがって、基板電圧伝達線 20 が、高電圧源（電源電圧源）VDD に P チャネル MOS トランジスタ PT4 を介して結合され、また基板電圧伝達線 120 が、高電圧源（接地電圧源）VSS に、MOS トランジスタ NT4 を介して結合される。選択メモリセル MC00 および MC10 においては、P チャネル MOS トランジスタ PQa および PQb（図 29 参照）の基板電位が上昇し、応じて基板バイアスが深くなり、そのしきい値電圧の絶対値が上昇する。応じて、P チャネル MOS トランジスタ PQa および PQb の電流駆動力が低下する。一方、N チャネル MOS トランジスタ NQa - NQd は、基板バイアスが浅くなり、そのしきい値電圧が低下し、これらの N チャネル MOS トランジスタの電流駆動力が増加する。したがって選択列のメモリセル MC00 においては、インバータの入力論理しきい値が小さくなり、スタティック・ノイズ・マージンが小さくなり、データ保持安定性が低下し、容易にデータを書込むことができる。

非選択列のメモリセル MC01 等においては、基板バイアス電圧 VPP および VBB は、その電圧レベルは変化せず、低電圧 VDDL および VSSH であり、P チャネル MOS トランジスタの基板バイアスが浅く、N チャネル MOS トランジスタの基板バイアスが深い状態であり、インバータの入力論理しきい値は高く、安定にデータを保持する。

データ書込が完了すると、基板制御信号 BE または列選択信号 CD が L レベルの非選択状態へ駆動されると、選択列の基板制御回路 PNBC において、N AND 回路 NC1 の出力信号が L レベルとなり、再び、基板電圧伝達線 20 および 120 は、それぞれ低電圧源 VDDL および VSS に結合され、安定に書込データが保持される。

この実施の形態 9 においても、データ書込完了時、基板電圧伝達線 20 および 120 が、ワンショット駆動されてもよく、外部からの電圧を利用する構成

が用いられてもよい。

この基板バイアス電圧 V_{PP} および V_{BB} としては、条件 $V_{ap} > V_{pb}$ および $V_{an} > V_{bn}$ を満たし、かつMOSトランジスタの不純物領域と基板領域の間のPN接合がオフ状態に維持される電圧であれば、電圧 V_{ap} および V_{bp} を基板バイアス電圧 V_{PP} として、また電圧 V_{bn} および V_{an} を基板バイアス電圧 V_{BB} として利用することができる。

以上のように、この発明の実施の形態9に従えば、データ書込時選択列のメモリセルの基板電位をPチャネルおよびNチャネルMOSトランジスタ両者に対して変更しており、スタティック・ノイズ・マージンを十分小さくして高速でデータの書込を行なうことができる。

〔実施の形態10〕

図32は、この発明の実施の形態10に従う半導体記憶装置の全体の構成を概略的に示す図である。この図32に示す半導体記憶装置は、図28に示す半導体記憶装置の構成と以下の点が異なる。すなわち、主制御回路8は、アクセスサイクル時に活性化されて、NチャネルMOSトランジスタの基板電圧 V_{BB} を制御する基板制御信号 BEA と、データ読出時に活性化され、データ読出時にPチャネルMOSトランジスタの基板バイアス電圧 V_{PP} を制御するP基板制御信号とを生成する。

基板電位設定回路10においてはメモリセル列に対応してPN基板制御回路 $PNBC$ が配置される。このPN基板制御回路 $PNBC$ は、データ読出時には選択列のPおよびNチャネルMOSトランジスタの基板バイアス電圧 V_{PP} および V_{BB} をともに変化させ、データ書込時には、選択列のメモリセルのNチャネルMOSトランジスタの基板バイアス電圧 V_{BB} を変化させる。

図32に示す半導体記憶装置の他の構成は図28に示す半導体記憶装置の構

成と同じであり、対応する部分については同一参照番号を付し、その詳細説明は省略する。

また、メモリセルMCの構成は、図29に示すメモリセルの構成と同じであり、以下の説明においては、適宜、図29を参照する。

5 図33は、図32に示すPN基板制御回路PNBCの構成の一例を示す図である。図33において、PN基板制御回路PNBCは、基板制御信号BEAおよび列選択信号CDを受けるNAND回路NC2と、NAND回路NC2の出力信号を受けるインバータNOT1と、NAND回路NC2の出力信号がHレベルの時、導通して接地電圧VSSを基板電圧伝達線120に伝達するパストランジスタNT3と、インバータNOT1の出力信号がHレベルの時に導通して、基板電圧伝達線120に高接地電圧VSSHを伝達するパストランジスタNT4とを含む。パストランジスタNT3およびNT4は、ともにNチャネルMOSトランジスタで構成される。

15 基板制御信号BEAは、アクセスサイクル時に活性化されてHレベルとなる。従って、データ書込時およびデータ読出時において、選択列に対しては基板バイアス電圧VBBは、高接地電圧VSSHレベルとなる。

20 PN基板制御回路PNBCは、さらに、P基板制御信号BERと列選択信号CDとを受けるAND回路AC2と、AND回路AC2の出力信号を受けるインバータNOT2と、インバータNOT2の出力信号がLレベルの時に導通し、低電源電圧VDDLを基板電圧伝達線20に伝達するパストランジスタPT3と、AND回路AC2の出力信号がLレベルの時に導通し、電源電圧VDDを基板電圧伝達線20に伝達するパストランジスタPT4とを含む。パストランジスタPT3およびPT4は、ともに、PチャネルMOSトランジスタで構成される。

25 P基板制御信号BERは、データ読出サイクル時に活性化されてHレベルと

なる。従って、データ読出時においては、選択列のメモリセルの基板バイアス電圧 V_{PP} は、低電源電圧 V_{DDL} レベルとなる。データ書込時においては、P 基板制御信号 B_{ER} は、L レベルであり、応じて、AND 回路 AC_2 の出力信号は選択列および非選択列に対して L レベルであり、基板バイアス電圧 V_{PP} は、電源電圧 V_{DD} レベルに維持される。

図 3 4 は、図 3 2 に示す半導体記憶装置の動作を示すタイミング図である。以下、図 3 4 を参照して、図 3 2 に示す半導体記憶装置の動作について説明する。なお、以下の説明においてはデータアクセスサイクル時にメモリセル MC_{00} が選択される状態を考える。

スタンバイ時においては、セルイネーブル信号 C_{EC} が H レベルであり、また、ライトイネーブル信号 W_{EC} も H レベルである。この状態においては、基板制御信号 B_{EA} および B_{ER} はともに L レベルである。従って、基板制御回路 $PNBC$ において、NAND 回路 NC_2 の出力信号が H レベルであり、基板電圧伝達線 120 には、パストランジスタ NT_3 を介して接地電圧 V_{SS} (0.0 V) が伝達される。また、AND 回路 AC_2 の出力信号が L レベルであり、基板電圧伝達線 20 には、パストランジスタ PT_4 を介して電源電圧 V_{DD} (1.0 V) が供給される。

メモリセルにおいて MOS トランジスタのしきい値電圧の絶対値を大きい値に設定することにより、リーク電流を低減することができる。

この場合、メモリセルにおいて MOS トランジスタの電流駆動力が小さくなっても、ワード線は非選択状態であり、メモリセルのデータ保持特性については何ら影響は生じない。

データ書込時および読出時において非選択列のメモリセルに対しては、図 3 3 に示す PN 基板電位制御回路 $PNBC$ において、列選択信号 CD が L レベルであり、NAND 回路 NC_2 の出力信号は H レベル、また、AND 回路 AC_2

の出力信号はLレベルであり、待機時と同じ電圧レベルにバイアス電圧 V_{BB} および V_{PP} が維持される。非選択行のメモリセルにおいては、対応のワード線WLが非選択状態であり、内部の記憶ノード SN_a および SN_b が、ビット線と切り離されているため、データ保持に影響はなく、リーク電流も抑制することができる。

5 選択行の非選択列のメモリセルMC01においては、記憶ノード SN_a および SN_b が対応のビット線BL1およびZBLに接続されるため、スタティクノイズマージンを考慮する必要がある。このメモリセルMC01に対しては、基板バイアス電圧 V_{BB} および V_{PP} は、待機時と同じである。スタティクノイズマージンは、メモリセルのトランジスタのしきい値電圧の絶対値が大
10 きいほうが、大きくなり、安定にデータを保持することができる。従って、基板バイアス電圧 V_{BB} が接地電圧 V_{SS} (0.0V) および基板バイアス電圧 V_{PP} が電源電圧 V_{DD} (1.0V) の時に、NおよびPチャネルMOSトランジスタのしきい値電圧の絶対値が十分に大きくなるように設定されていれば
15 、この選択行の非選択列のメモリセルMC01のスタティクノイズマージンを十分に確保することができる。

データ読出時においては、基板制御信号BEAおよびBERがともに活性化される。列選択信号CDがHレベルとなり、応じてNAND回路NC2の出力信号がLレベルとなり、基板電圧伝達線120の基板バイアス電圧 V_{BB} が高
20 接地電圧 V_{SSL} となり、選択列のメモリセルのNチャネルMOSトランジスタの基板バイアスが浅くされ、そのしきい値電圧が小さくなり、電流駆動力が大きくされる。一方、AND回路AC2の出力信号がHレベルとなり、基板電圧伝達線20の基板バイアス電圧 V_{PP} が、パストランジスタPT3により、低電源電圧 V_{DDL} となる。応じて、メモリセルのPチャネルMOSトランジ
25 スタのしきい値電圧の絶対値が小さくなり、その電流駆動力が大きくされる。

PチャネルMOSトランジスタPQaおよびPQbのしきい値電圧の絶対値が小さくかつNチャネルMOSトランジスタNQa-NQdのしきい値電圧が小さくなると、メモリセルのデータ保持特性が極端に劣化する。従って、選択列においては、PおよびNチャネルMOSトランジスタ両者の基板バイアスを浅くしてしきい値電圧の絶対値を小さくして、スタティックノイズマージンを確保する。これにより、選択メモリセルに対して安定にデータの読出を行うことができる。

データ書込時においては、基板制御信号BEAを活性化し、P基板制御信号BERを非活性状態に維持する。従って、PN基板制御回路PNBCにおいて、AND回路AC2の出力信号がLレベルに固定され、選択列および非選択列に対して、基板バイアス電圧VPPは待機時と同様の電源電圧VDDレベルに維持される。メモリセルのPチャネルMOSトランジスタの電流駆動力を小さくする。

一方、基板制御信号BEAは活性化されるため、選択列に対しては、NAND回路NC2の出力信号がLレベルとなり、データ読出時と同様に、パストランジスタNT4により、基板バイアス電圧VBBが選択列に対して高接地電圧VSSHとなり、NチャネルMOSトランジスタの基板バイアスが浅くなる。この時、PチャネルMOSトランジスタのしきい値電圧の絶対値が小さく、選択列のメモリセルのスタティックノイズマージンが低下し、選択メモリセルMC00に対して高速でデータを書込むことができる。

選択列の非選択行のメモリセルMC10においては、対応のワード線WL1が非選択状態であり、スタティックノイズマージンが低下しても、記憶ノードは対応のビット線から切り離されており、問題は生じず安定にデータを保持する。

以上のように、待機時においてはメモリセルのMOSトランジスタの基板バ

イアスを深くし、しきい値電圧の絶対値を大きくしてリーク電流を低減して消費電流を低減する。

5 データ読出時およびデータ書込時においては、非選択列のメモリセルのトランジスタのしきい値電圧の絶対値が大きくされており、リーク電流を低減することができる。特に、選択行非選択列のメモリセルにおいては、MOSトランジスタの電流駆動力が小さくされており、対応のビット線の電位変化速度が遅くなり、ビット線の電位変化を小さくすることができ、結果的に動作時のビット線充放電に関連する消費電流を低減することができる。

10 また、選択列においては、NチャネルMOSトランジスタの電流駆動力が大きくされており、高速で記憶データに応じたビット線の放電および書込みデータに応じた記憶ノードの放電を行うことができ、高速のデータ読出およびデータ書込をともに実現することができる。

15 図35は、図33に示す基板制御信号BERおよびBEAを発生する部分の構成を概略的に示す図である。この基板制御信号発生回路は、図32に示す主制御回路8にも受けられる。図35において、基板制御信号発生部は、クロック信号CLKとセルイネーブル信号とに従って基板制御信号BEAを発生するバイアス制御信号発生回路250と、この基板制御信号BEAとライトイネーブル信号WECとを受けてP基板制御信号BERを生成するAND回路252を含む。

20 バイアス制御信号発生回路250は、例えば、ワンショットのパルス発生回路で構成され、クロック信号CLKおよびセルイネーブル信号CEC両者が立ち上がると所定のタイミングで所定の時間幅を有するパルス信号を生成する。

データ読出時においてはライトイネーブル信号WECは、Hレベルであり、この基板制御信号BEAに従ってP基板制御信号BERが生成される。データ
25 書込時においては、ライトイネーブル信号WECはLレベルであり、P基板制

御信号BERはLレベルに維持される。

以上のように、この発明の実施の形態10に従えば、データ書込時に選択列のNチャネルMOSトランジスタの基板バイアスを浅くし、データ読出時には、選択列のPおよびNチャネルMOSトランジスタの基板バイアスを浅くしており、高速でデータの書込みおよびデータの読出を行うことができ、また、待機時の消費電流を低減することができる。

[実施の形態11]

図36は、この発明の実施の形態11に従うメモリセルのレイアウトを概略的に示す図である。図36に示すメモリセルのレイアウトにおいては、MOSトランジスタを形成する領域がメモリセル列毎に分離されており、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタに対する基板バイアス電圧VBBおよびVPPを、メモリセル列単位で変更することができる。

図36においては、PチャネルMOSトランジスタを形成するPMOS領域91の両側に、NチャネルMOSトランジスタを形成するNMOS領域90および92が配設される。本実施の形態11においては、SOI（シリコン・オン・インシュレータ）構造が用いられるため、これらのPMOS領域91およびNMOS領域90および92は、図示しない埋込絶縁膜上に形成される基板領域でそれぞれの領域が規定される。

NMOS領域90においては、隣接列のメモリセルを分離するために、素子分離領域95が列方向に直線的に延在して配設される。NMOS領域90とPMOS領域91の間には、これらを分離するために、素子分離領域96が、列方向に延在して形成される。PMOS領域91においては、活性領域55および52を分離するために、素子分離領域97が形成される。PMOS領域91およびNMOS領域92を分離するために、素子分離領域98が列方向に延在して形成される。NMOS領域92においては、隣接列のメモリセルを分離す

るために素子分離領域 9 9 が、列方向に直線的に延在して配置される。これらの素子分離領域 9 5 - 9 9 は、それぞれ、トレンチ分離構造を有する。

メモリセルのレイアウトは、先の実施の形態 4 の場合と同じであり、横型セル構造が用いられ、図 9 に示すメモリセルのレイアウトと同じレイアウトでメモリセルが配置される。したがって、図 9 および図 3 6 において対応する部分には同一参照番号を付し、それらの詳細説明は省略する。

図 3 7 は、図 3 6 に示す線 L 3 7 - L 3 7 に沿った断面構造を概略的に示す図である。図 3 7 において、シリコン (S i) 基板 1 0 0 上に、埋込絶縁膜 1 0 1 が形成される。この埋込絶縁膜 1 0 1 上に、NMOS 領域 9 0 を構成する P 基板 1 1 0 および 1 1 1 が形成される。P 基板 1 1 0 および 1 1 1 は、素子分離領域 9 5 により分離される。素子分離領域 9 5 は、埋めこみ絶縁膜 1 0 1 上に形成される完全分離の埋め込みトレンチ領域 9 5 a と、その上部に形成されるシャロウトレンチ分離構造の部分トレンチ分離領域 9 5 b とを含む。

PMOS 領域 9 1 は、埋込絶縁膜 1 0 1 上に形成される N 基板 1 1 2 によりその領域が規定される。この N 基板 1 1 2 表面に、素子分離領域 9 7 が、P チャネル MOS トランジスタを分離するために設けられる。この素子分離領域 9 7 は、シャロウトレンチ分離膜で構成され、「部分トレンチ分離」構造を有する。

PMOS 領域 9 1 と NMOS 領域 9 0 の間に形成される素子分離領域 9 6 は、埋め込みトレンチ分離領域 9 6 a と、その上部に形成される部分トレンチ分離領域 9 6 b とを含む。この素子分離領域 9 6 は、従って、埋込絶縁膜 1 0 1 まで到達し、「完全トレンチ分離」構造を実現する。これにより、N 基板 1 1 2 と P 基板 1 1 1 を完全に分離する。N 基板 1 1 2 は、1 列に整列して配置されるメモリセルの P チャネル MOS トランジスタに共通に設けられる。

PMOS 領域 9 1 と NMOS 領域 9 2 の間の素子分離領域 9 8 も、完全トレ

ンチ分離の埋め込みトレンチ領域 98a と、その上部の部分トレンチ分離領域 98b とを含み、埋込絶縁膜 101 まで到達し、「完全トレンチ分離」構造を実現し、N 基板 112 を P 基板 113 から完全に分離する。

5 NMOS 領域 92 においては、P 基板 113 と素子分離領域 99 により分離される P 基板 114 が配置される。素子分離領域 99 は、完全トレンチ分離を実現するための埋め込みトレンチ分離領域 99a と、その上部の部分トレンチ分離領域 99b とを含む。従って、素子分離領域 99 は、埋込絶縁膜 101 まで到達し、P 基板 113 および 114 を完全に分離する。

10 この構成において、以下に説明するように、メモリセル列単位で P および N チャネル MOS トランジスタの基板領域が分離されており、基板電圧の制御時には、実施の形態 9 および 10 に示すように、P チャネル MOS トランジスタおよび N チャネル MOS トランジスタ両者の基板電圧 V_{PP} および V_{BB} を列単位で制御することができる。

15 N 基板 112 および P 基板 113 上に、ゲート電極 61 が配置され、メモリセルのインバータ構造を実現する。一方、P 基板 111 および 110 上には、ゲート電極 62 が形成され、隣接メモリセル間のアクセストランジスタのゲートを形成する。N チャネル MOS トランジスタを形成する P 基板 110、111、113 および 114 を完全トレンチ分離構造により、各列ごとに分離することにより、各列単位でメモリセルの N チャネル MOS トランジスタのしきい
20 値電圧を、その基板電位を調整して、制御することができる。

N 基板 101 は、P 基板により他の P 基板から分離されるため、メモリセル列単位で基板バイアス電圧 V_{PP} を制御することができる。

各基板領域への基板バイアス電圧 V_{PP} および V_{BB} の印加の構成としては、先の図 14 および図 27 に示す構成を SOI 構造に適用する。

25 以上のように、この発明の実施の形態 11 に従えば、N 基板 112 を、列方

向に連続的に延在させ、1列のメモリセルに共通に設置することにより、列単位でメモリセルのPチャネルMOSトランジスタの基板電位 V_{PP} を調整することができる。また、列方向に延在するP基板は、素子分離領域により隣接列のNチャネルMOSトランジスタ形成用のP基板と完全トレンチ分離により分離され、列単位で、NチャネルMOSトランジスタの基板電圧 V_{BB} を調整することができる。

特に、SOI構造を利用しているため、MOSトランジスタのボディ領域（バックゲート）が、基板100と完全に分離されるため、基板領域の接合容量が大幅に低減され、基板領域の電位変化を高速で行なうことができる。また、SOI構造の場合、配線およびトランジスタの寄生容量が小さく、低電源電圧下で高速動作を実現することができるため、電源電圧を低くすることができる。したがって、このN基板112の電圧を低くすることができ、消費電流を低減することができる。

また、基板100とMOSトランジスタのバックゲート（ボディ領域）が分離されているため、基板ノイズの影響が、記憶ノードに伝搬されるのを防止でき、ソフトエラー耐性を改善することができる。

以上のように、この発明に従えば、データ書込時、選択列のメモリセルのトランジスタの基板電位を、スタティック・ノイズ・マージンが低下するように変化させており、データ保持安定性を損なうことなく確実にデータを書込むことができる。これにより、メモリセル微細化時において、低電源電圧下においても安定にデータを保持しかつ書込／読出を行なうことができる。

Although the present invention has been described and illustrated in detail, it is clearly understood that the same is by way of illustration and example only and is not to be taken by way of limitation, the spirit and scope of the present invention being limited only by the terms of the appended claims.